



Editorial

Chers lecteurs/lectrices, les congés d'été sont proches !

Je voudrais féliciter toutes les personnes qui ont contribué à l'organisation de la conférence MiNaPAD, aboutissement d'une aventure humaine de 9 mois.

Cet événement a rassemblé plus de 100 participants ; nous sommes fiers de ce succès, qui repose en grande partie sur vos contributions !

L'équipe a su gérer les impondérables de dernière minute pour finalement créer un environnement propice aux discussions techniques avec les conférenciers et propice aux réunions d'affaires. *Nous renouvelons notre message sur l'opportunité d'organiser, en parallèle, des réunions d'avancement de projets européens par exemple. Des infrastructures dédiées sont disponibles puisque réservées sur les trois jours du Forum ; et le tarif d'inscription à MiNaPAD sera adapté. Pensez-y !*

Toutes les présentations sont déjà disponibles sur notre site.

Durant MiNaPAD, notre comité directeur s'est réuni, la veille, afin de préparer les résolutions qui seront présentées à l'assemblée Générale. Nous observons un nombre d'adhérent stable ; un regain d'inscription corporates (16) et des nouveaux adhérents actifs ou retraités. Pour ces derniers, l'IMAPS fait un geste avec la gratuité de l'inscription !

L'assemblée générale se tiendra dans l'après-midi du 17 Septembre. Ce sera l'occasion d'expliquer le budget 2020 prévisionnel de notre association. Mais également de préparer la relève du bureau (président et trésorier) : avis aux candidat(e)s.

Par ailleurs, je tiens à vous informer de l'évènement EMPC-2019 (en d'autres termes de l'IMAPS Europe qui a lieu tous les deux ans) qui se déroulera à Pise (Italie) et dont le programme est disponible sur le site officiel : <http://www.empc2019.org/>.

C'est une continuité à notre Forum MiNaPAD avec une dimension plus large.

Enfin, les équipes préparent les deux prochains événements. Nous vous attendons le 28 Novembre à Tours avec notre événement Puissance et vous garantissons d'ores et déjà un programme de qualité, dont deux keynotes. L'appel à papiers est encore ouvert et les inscriptions sont ouvertes sur notre site.

Alexandre VAL

"Everything in electronics between the chip and the system" (ISHM – Une définition du Packaging)

Calendrier IMAPS France 2019

Assemblée Générale IMAPS 17 Septembre 2019
11^{ème} From Nano to Micro Power Electronics and Packaging Workshop 28 Novembre 2019, Tours
15^{ème} European Advanced Technology workshop on Micropackaging and Thermal Management 5 et 6 Février 2020 – La Rochelle
8^{ème} Forum MiNaPAD 27 et 28 Mai 2020 - Grenoble

Prochaine édition : Octobre 2019

7^{ème} Forum MiNaPAD 2019

22 et 23 Mai 2019

Alexandre Val – VALEO

Président du Forum

La septième édition du Forum MiNaPAD (Micro/Nano-Electronics Packaging and Assembly, Design and Manufacturing) s'est déroulée les **22 et 23 Mai 2019** à **Grenoble** (World Trade Center) et a réuni ces 2 jours près de cent participants. Le **21 mai**, ces deux journées ont été précédées par une conférence ouverte de Subramanian IYER de l'université de Californie (Los Angeles, USA), organisée conjointement avec IEEE-CPMT, sur « *Packaging – When all else fails ! Or Why I became a packaging Engineer* ».

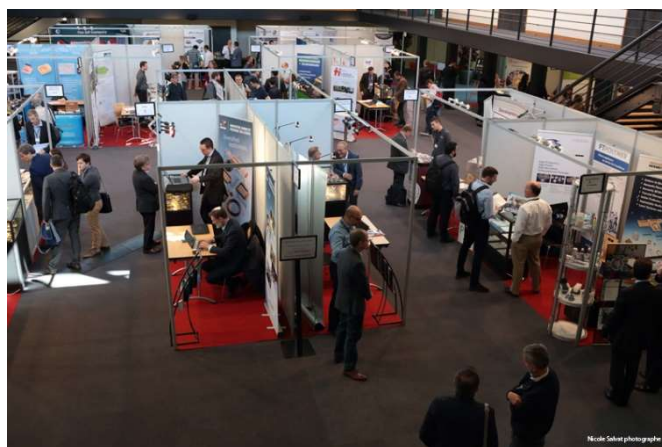
Le forum s'est déroulé sur deux jours durant lesquels 38 présentations et 5 keynotes ont animé les sessions.



Discours d'ouverture le 22 Mai

Nous avons testé le jeu des 7 signatures qui consiste à obtenir les signatures des exposants une fois le stand visité et de recevoir un gadget en récompense de la part de l'IMAPS. Pour ce premier essai, les participants s'y sont prêtés et les exposants ont perçu cela positivement. Donc nous renouvelerons cette initiative suggérée par Florence.

Il y a eu une bonne effervescence autour des exposants et les pauses café et déjeuners ont permis de nombreux échanges.



Zone d'exposition pour nos 30 exposants

Cette année les techniques de composants enterrés dans le circuit imprimé (embedded technologies) ont été mis en exergue dans toutes leurs applications, qu'il s'agisse aussi bien de puces nues enterrées que de boîtiers et de composants passifs.

Egalement, deux sessions ont été nécessaires pour répondre au sujet de la découpe et de la préhension des puces nues.

Enfin, nous avons eu de la chance d'avoir une météo clémente ce qui nous a permis de débiter notre dîner de gala par un apéritif en extérieur. Au préalable, quelques personnes ont pu apprécier les explications du guide de l'exposition sur les eaux fortes produites par Rembrandt. La finesse du trait de gravure sur cuivre nous a impressionnés....la photogravure n'étant apparue que deux siècles plus tard !



Un moment de détente à la soirée (Jean-Marc Yannou et Paul Bertolasi – Sponsor ASE Europe)

Pour terminer la deuxième journée, nous avons procédé à la remise de trois prix récompensant la

qualité des résumés, des papiers et des présentations ; par un processus de sélection trois jeunes ont reçus des mains de Gilles Simon (CEA LETI) respectivement une récompense.



Remise des meilleurs papiers Sidahmed Beddar (3^{ème}), Jonathan ABDILLA (2^{ème}), Bojan DJURIC (1^{er})

Nous présentons le papier de Bojan DJURIC qui a reçu le premier prix avec toutes les félicitations du jury.



Double side interconnection for vertical power components based on macro and nano structured copper interfaces and printed circuit board technologies

Bojan DJURIC^{1,2}, Vincent BLEY², Julien MORAND¹, Olivier DAGUT², Jean-Pascal CAMBRONNE², Stefan MOLLOV¹

(1) Mitsubishi Electric R&D Centre Europe
1, allée de Beaulieu CS 10806 35 708 RENNES CEDEX 7
(2) Université de Toulouse
118 rte de Narbonne – Bât. 3R3 CNRS; LAPLACE;
F-31062 Toulouse

1 Introduction

The power converters hold a central position in electrical engineering. The power ratings are increasing and the converters have to meet these needs in compact systems. For example, the current power density of commercialized power converters of 2 kW for photo-voltaic application is around 1 kW.l^{-1} , whereas in the “Little Box Challenge” organized by Google and IEEE densities reached 12 kW.l^{-1} . This improvement is mainly explained by using wide band-gap (WBG) semiconductor devices based on silicon carbide (SiC) and gallium nitride (GaN) materials that permit significantly higher switching frequencies. However, the associated shorter switching times are only possible when all stray elements in the package (as shown in Figure 1) are minimized in order to take all the benefit of these new components.

The parasitic elements, and the package stray inductances in particular, are source of losses which reduce the efficiency and also cause less reliable operation and EMI noise. This is fundamentally difficult to achieve with the popular packages today using wire-bonds.

In some application, the WBG devices are expected to be able to work at higher temperature than silicon (Si) components. The junction temperature (T_j) of SiC components can be higher than 200°C in comparison of Si switches around 125°C . The package must endure high temperature and also resist the ensuing large temperature transitions.

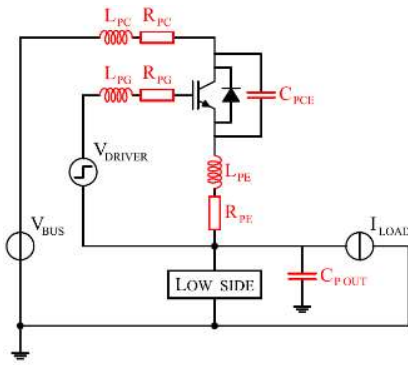


Figure 1: Zoom on parasitic elements (red) of the high side switching cell induced by the packaging

2 Context

The PCB technology has the advantage of being a cost efficient and well-established process. There is a possibility of massive parallel manufacturing, fine pitch, thick copper used for heat and current transport, repeatable multilayer structures, etc. The embedding of power dies in PCB recently has solicited great interest. There are several kinds of proposed interconnections. The greatest advantage of the technology for power device packaging is the strip-line approach of distributing current, bringing down the stray inductance close to the theoretical minimum.

The trend in PCB-embedding technology is to interconnect the components by using laser microvias. The thermal conductivity of the PCB core is less than $1 \text{ W.m}^{-1}.\text{K}^{-1}$ for the polyimide material such a kapton against $170 \text{ W.m}^{-1}.\text{K}^{-1}$ for aluminum nitride for direct bonded copper (DBC) substrate. The micro-via approach suffers from the manufacturing limits imposed on their density, resulting in current and heat flux limitations.

This variation of the conveyed power through the converter is a source of temperature variations in the power assembly. Temperature gradient is present along the interconnections which, combined with different thermal expansion coefficient of each material, leads to crack at micro via and die interface and delamination over time. These defects in the interconnection are affecting strongly the reliability of the converter, attributed to the cyclical stresses applied.

The proposed solution combines advanced PCB technologies and innovative interconnection solution without solder, based on electrolytic deposition of macro and nano structured interfaces, followed by thermo-compression. The assembly may thus be an elementary block for the design of power converters with high level of integration and reliability by means of a full copper and flexible interconnection allowing for double-sided cooling.

It is expected that the nano wires used as thermal and electrical die interface will be also more resistant to cyclical stresses.

3 Manufacturing process

Our approach consists in sandwiching an opened core (in the cavities of which the power dies are inserted) between two PCBs having the macro-nano structured interfaces for the interconnections as shown in Figure 2. The PCBs and the core are assembled by stratification of a prepreg between each interface. This principle allows to limit the treatment steps on the component to be assembled. The prototype assembly was manufactured with a silicon bare die with metallization consisting of 20 nm tungsten-titanium and 3 μm copper. The dimensions of the die are $7.2 \times 4.2 \text{ mm}^2$ with 300 μm thickness, fully P-Boron doped and having a resistivity about $1 \times 10^{-4} \Omega.\text{mm}$. The value of the equivalent resistance is 100 $\mu\Omega$.

The substrate used is an Arlon 35N PCB of 0.8 mm polyimide core overlaid of 105 μm copper layers. Electrically accessible by the two upper connectors, the central constricted area is used for the interconnection manufacturing. The remainder copper and ground planes are brown oxidized to increase the surface roughness and therefore the adhesion of the prepreg during final assembly pressing.

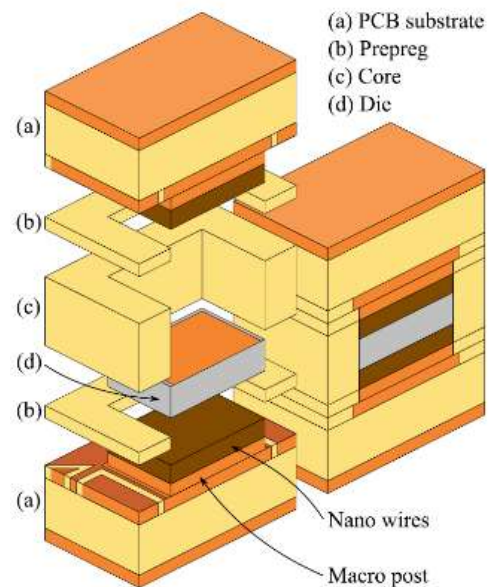


Figure 2: Cross section schematic of the assembly with macro and nano structured interfaces

There are two measuring tracks for characterization allowing kelvin measurement of the assembly (Figure 3). The through-holes are used to align the substrate on the different supports

during the manufacturing process and to access the measuring pads of the second assembled substrate.

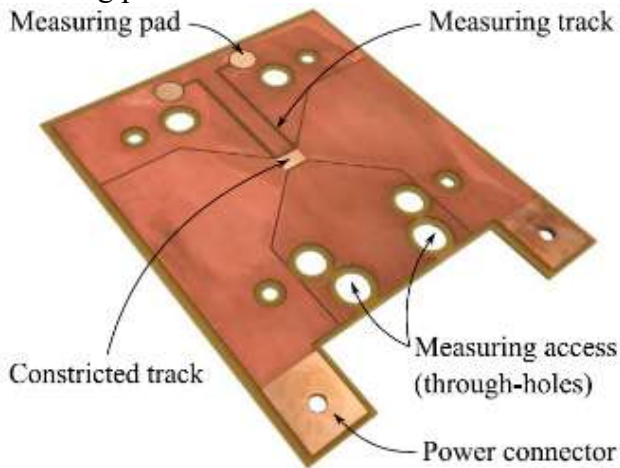


Figure 3: PCB substrate with constricted area, its connectors and kelvin measuring tracks

The macro-nano structured interface is composed of a macro post about $45\ \mu\text{m}$ overlaid by nano wires around $55\ \mu\text{m}$ length and $200\ \text{nm}$ diameter. This is done in 7 manufacturing steps (Figure 4).

(a)The PCB is first deoxidized by 10% sulfuric acid. Dry film (Dupont Riston T220 $50\ \mu\text{m}$) is deposited to insulate all copper layers except the 2 connectors and a rectangle of $6.8 \times 3.8\ \text{mm}^2$ on the central constricted area having rounded angles to avoid edge defects and to smooth copper deposition (Figure 5).

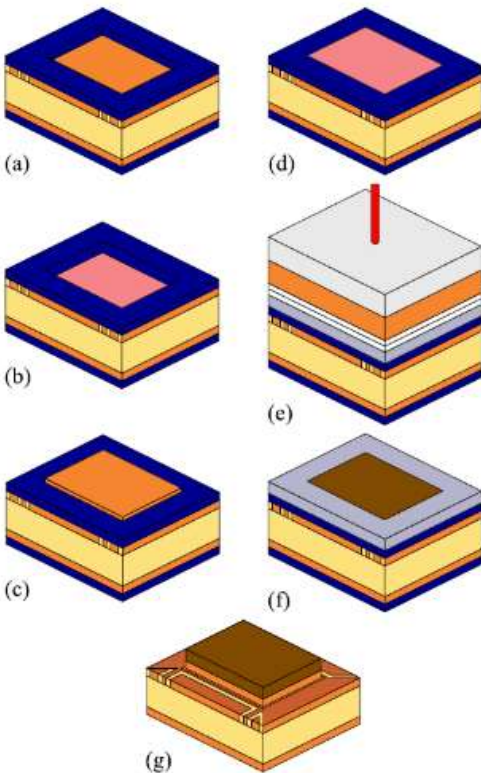


Figure 4: Manufacturing process of interconnection on the PCB substrate

(b)On average, there is $7\ \mu\text{m}$ of copper electro-etched during 45 minutes from the constriction track through the dry film opening. Thereafter the electro-etching process, the anodic mud is cleaned from PCB's copper surface.

(c)After deoxidation of the anode and the PCB substrate, there is around $60\ \mu\text{m}$ of copper electroplated during 7 hours on the electro-etched surface in order to have copper overflowing of the dry film opening.

(d)The macro post is leveled to the dry film by carrying out the same electro-etching process of the step (b).

(e) The Anodic Aluminum Oxide (AAO) membrane (Whatman Anodiscs $\text{Ø } 47\ 0.2\ \mu\text{m}$) is applied onto the deoxidized macro post. The solution of 50% copper sulfate is spread all over. The membrane is overlaid of two cellulosic papers (Whatman Ashless Grade 41 $\text{Ø } 60\ 20\ \mu\text{m}$). The electrolytic cell is maintained by pressure of the anode onto the assembly. Afterward, there is an hour of copper electroplating.

(f)The cell is opened and the cellulosic papers are removed. The anode is put back without applying pressure. The membrane is caught by the short nano wires electroplated during the step (e). Therefore, the anode is distanced from the substrate in order to enhance the deposition by renewing of the solution. The AAO membrane is filled by electroplated copper during 6 hours deposition.

(g)The dry film and AAO membrane are removed by 10% sodium hydroxide treatment at 45°C during 30 minutes.

The resulting metallic structure (Figure 5) has a thickness of $100\ \mu\text{m}$. The test coupon demonstrates a consistent and continuous nano-wire cover, which is important for good heat and current transport.

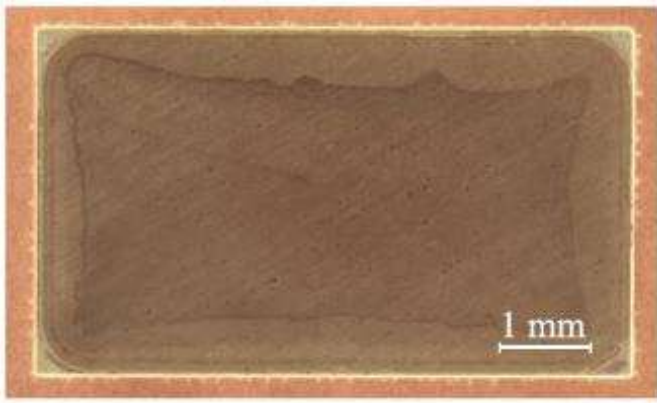


Figure 5: Digital microscope picture (x200) of the macro and nano structured interface

A SEM image of the deposited nano wires is shown in Figure 6. The nano wires are well separated (important to offer a flexible stress resistant interface) and have a high filling factor. Also, their length is within few μm , which we think is important for consistent impingement of the nano-forest to the die surface.

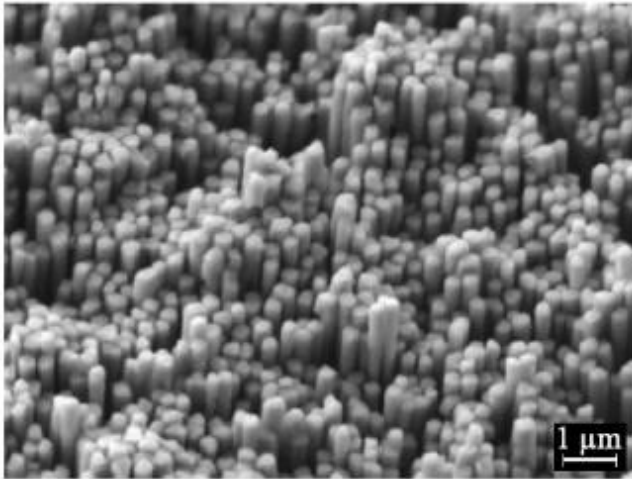


Figure 6: SEM acquisition (x10,000) of the nano wires 40° tilted top view

In the above process a pulsed current waveform was used for the electroplating and the electro-etching steps. It slows down the hydrogen and anodic mud production which are source of defects. That also allows to relax the ions on the PCB substrate and therefore it improves the homogeneity of copper deposition, especially for the nano structures manufacturing. The current profile is chosen in accordance with the recommendation of the used equipment Bungard COMPACT A and its electrolytic solution Bungard CU400. The core is made by stratification of Arlon 35N prepreps. Several different references are used to adjust the core thickness which decreases the electrical contact, especially the applied pressure on the nano wires and the die. The core is composed of two 106 prepreps, a 1080 preprep and

a 2116 one. The average of the reached thickness is 370 μm . Subsequently, the cavity is routed by CNC device (Bungard CCD/2/ATC) to host the active component. Sized for the die, the corners are shaped such as Mickey Mouse's ears. It avoids insertion defects due to the non-capability of the CNC tool to make straight angles.

All the stacked elements, which can be seen on Figure 2, are laminated by putting a 106 prepreg between each strata. Finally, the obtained distance between the two PCBs is 490 μm and approximates the 500 μm necessary to match the thickness of the top and bottom interconnections (each 100 μm) and the 300 μm die thickness.

4 Electrical characterization

The previous results show that the macro-nano interconnection of active component by PCB-embedding technology is possible simply by adding nano-porous membrane and using the same equipment such a current PCB production line.

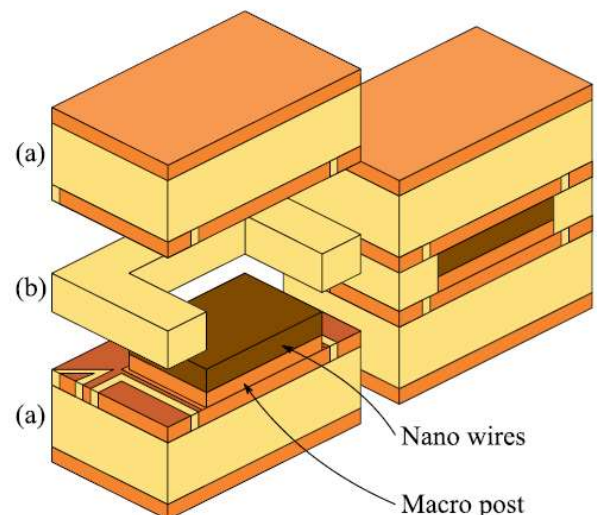


Figure 7: Schematic of the characterization assemblies' principle

Based on the presented manufacturing process, the characterization of the interconnection is achieved by the lamination of two PCBs, one having a macro-nano interconnection and the other one a simple bare copper which means without any special treatment. The characterization assembly uses the following process. As shown Figure 7, the PCBs (a) are linked by a single prepreg (b). That is required by the leveling of the 100 μm of interconnection. There are two manufactured assemblies (A & B) surrounding the nearest thickness of the interconnection. The first one (A) is made with a 2116 prepreg having an effective final thickness of 120 μm . The theoretical 20 μm

additional empty space is expected to be compensated by deformation of the PCBs during the pressing step. The second assembly (B) is achieved by replacing the 2116 prepreg by the 1080 one with 80 μm thickness. Unlike the first assembly (A), the missing 20 μm are counterbalanced with the nano wire's deformation.

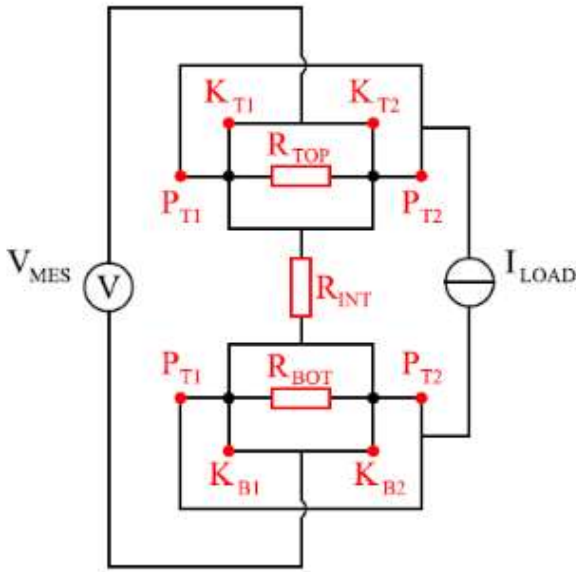


Figure 8: Electrical circuit wiring for interconnection kelvin measurement

The measurements of electrical resistance at room temperature are carried out by kelvin method with the coupled nano-voltmeter 2182A and source meter 2410 Keithley. The prototype is wired in order to measure the volumetric electrical resistance of the whole interconnection as shown in Figure 8, where R_{TOP} and R_{BOT} represent the constriction track resistance, and R_{INT} is the interconnection resistance. The applied current through the assembly is 1 A (Power connectors P_{TX} and P_{BX}) and the voltage measurement is done by Keithley's delta mode software via Kelvin connectors (K_{TX} and K_{BX}). The power connectors of each side are put at the same electrical potential. The internal measuring tracks are shunted as well. This configuration makes it possible to evaluate the overall resistance of the interconnection while avoiding any imbalance between the two possible accesses to the interconnection. The physical cabling is achieved by stand measure made in polyimide material equipped with golden test tips to endure future high temperature measurements.

The (A) assembly (with a 120 μm thick prepreg) results in 10 m Ω resistance. The (B) assembly results in drastically lower resistance with only 30 $\mu\Omega$.

The result above indicates that relying on PCB deformation (during lamination) to compensate for thickness matching could result in inconsistent contact.

The second assembly shows that a close electrical contact between the nano wires and the die, or copper track surface for the characterization assembly, is achieved and it offers low electrical resistance. The result is very encouraging when compared to the standard power module interconnection technology, generally around a few m Ω for conventional wire-bonds.

5 Electro-thermal characterization

In case of electro-thermal characterization, the aim is to evaluate the thermal resistance (R_{th} in $\text{K}\cdot\text{W}^{-1}$) of the interconnection by controlling the power flux (P in W) applied to heat the constricted area of the bottom side of the assembly at a wished temperature.

$$R_{th} = \Delta T / P$$

Equation 1: Thermal resistance in function of the temperature difference and the applied power

Equation 1 obviously assumes that the heat flow passes only through the interconnection which is not strictly the case. Indeed, some of the leakage heat flux around the interconnection zone will lead to underestimate the thermal resistance of the interconnection, due to natural heat spreading. The kelvin track of the PCBs can be used to measure precisely the ΔT after a calibration sequence. The relation between temperature and resistance is shown in Equation 2 and is very linear for copper in the temperature range of interest.

$$R = R_0 \cdot (1 + \alpha \cdot [T - T_0]) = R_0 \cdot (1 + \alpha \cdot \Delta T)$$

Equation 2: Linear model of electrical resistance in function of the temperature

For the track dimensions in our assembly, the theoretical curve is plotted in Figure 9 between 20 $^{\circ}\text{C}$ to 180 $^{\circ}\text{C}$ with copper temperature coefficient of $\alpha = 3.9 \times 10^{-3} \text{ K}^{-1}$. The experimental measurement is achieved by measuring the track electrical resistance (R_{TOP} or R_{BOT} in Figure 8) at controlled temperature by putting the PCB in the oven. The measure is taken every 10 $^{\circ}\text{C}$ in the same range of the theoretical curve.

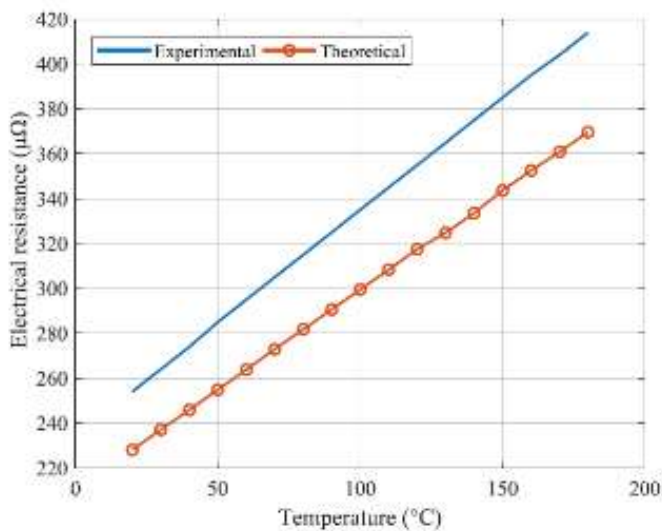


Figure 9: Theoretical and experimental curves of the track's electrical resistance in function of the temperature

The difference between the theoretical and calibration curves can be explained by uncertainty in dimensions (mostly thickness) due to the chemical etching and/or properties of the copper. However, these results show that this method is suitable for a ΔT definition. Currently, we are considering two complementary routes for measuring the thermal impedance. Firstly, the preparation of a representative sample of the interconnection thermal environment but realized without interconnection to evaluate the thermal resistance of the environment, On the other hand, a COMSOL Multiphysics® model is in progress to characterize the power dissipated by the interconnection environment and thus to indicate the power passing through the macro-nano structured interface. Moreover, the assembly can be modified to evacuate the heat from the top side in order to maintain the temperature and to have an accurate value of ΔT . Some experiments demonstrate the feasibility of non-destructive modification of the upper PCB to get a direct access to the inner copper. It makes it possible to implement a cooling system in order to dissipate the heat and therefore to control accurately the ΔT during experiment.

5 Conclusion and Perspectives

The proposed approach of power device packaging is a combination of PCB-embedding technology and full copper macro-nano interconnection. The manufacturing process has the advantage to be carried out only by adding a nano porous membrane in the common electronics product line. The electrical characterization results show a low

interconnection resistance, encouraging for a power electronics integration, while the interconnection is made of full copper favoring heat dissipation of the power switches. The thermal characterization is in progress. In perspective, we expect that this flex interconnection could limit mechanic strains transfer at the interface; this aspect will be treated in a future work.

6 Acknowledgement

The authors thank the SCEL from University of Paul Sabatier, Toulouse 3 for giving their assistance and the access to the lab scale PCB production line equipment.

11^{ème} Forum Power 2019

From Nano to Macro Power Electronics & Packaging Workshop 2019



Stéphane BELLENGER – STM General Chairman

Le Forum « Power 2019 » est le rendez-vous des nouveaux procédés et des nouvelles technologies de packaging au service des applications de l'électronique de puissance. La 11^{ème} édition se déroulera le 28 novembre prochain et se prépare depuis le mois de février. L'événement aura lieu au sein de l'auditorium du GREMAN sur le site du Département Électronique et Énergie de l'École Polytechnique de l'Université de Tours, 7 avenue Marcel Dassault à Tours.

Le comité technique et toute l'équipe dédiée à cet événement œuvrent à sa bonne organisation.

Comité technique international :

M. Lars Boëttcher, Fraunhofer Institute, Allemagne
M. Cyril Buttay, Laboratoire Ampère, France
M. Guillaume Callerant, Société Sonceboz, Suisse
M. Jean-Luc Diot, intervenant à titre privé, France
M. Franck Dosseul, Société Moduleus France
M. Sébastien Jacques, Laboratoire Greman, France
M. Guo-Quan Lu, Institut Virginia Tech, USA
M. Jürgen Schuderer, Société ABB, Suisse
Mr. Daniel Alquier, Laboratoire Greman, chairman
M. Christophe Serre, Société STM, chairman
M. Stéphane Bellenger, Société STM, chairman

Pour cette 11^{ème} édition, nous garderons les points forts et pratiques qui ont été plébiscités depuis déjà quelques années, et d'autres nouvellement initiés :

- Power management for transportation and industrial systems
- Energy harvesting systems, from nano to macro (smart grid, wind energy, photovoltaic, etc...)
- Energy conversion systems– from power to emission (lighting, ultrasonic, infrared, etc...)

Le hall d'entrée sera dédié à l'exposition des stands de nos partenaires fournisseurs de matériaux, d'outils de caractérisation, d'équipements ou de services, laboratoires et instituts. Ce lieu très bien adapté et accueillant est mis gracieusement à la disposition de l'IMAPS pour cet événement.

Nous avons de plus à ce jour reçu une dizaine de papiers. Ces papiers proviennent des sociétés et instituts suivants : CEA-Leti, Chip Integration Technology Centre" (CITC/TNO), ENSP, BESI Austria GmbH, INDIUM, OES-SET NA, WEX FAB, IMT Atlantique Lab-Stice CNRS, Laboratoire LAPLACE.

D'autres sociétés sont sur le point de rejoindre ce rendez-vous... gardons le suspense jusqu'à la fin de l'été !!

Afin de rendre ce workshop de la plus grande qualité, **nous étendons l'appel à papiers jusqu'à fin juillet**. Envoyez-nous vite vos propositions !

Pour rappel des thèmes retenus (voir l'appel à papiers):

- New materials and substrates dedicated to power electronics
- Thermal or thermo mechanical or regulatory constraints (RoHS regulation, REACH, etc...)
- Dedicated technologies for integration and optimization of power systems, including passive components (weight and size reduction, yield improvement, efficiency, etc...)
- Innovative technologies, materials and processes dedicated to interconnection and packaging (die attach, bonding wire & ribbon wires, 3D power components, etc...)
- Reliability and failure modes (impacts linked to technologies, thermal constraints, radiation, etc...), predictive methods, design of experiments, reliability
- High current and high voltage or extremely high voltage: impact on packaging technologies

Le programme sera disponible début Septembre.

Bien à vous, et au plaisir de vous rencontrer sur Tours,

Sébastien Jacques & Stéphane Bellenger

15th European Advanced Technology Workshop on Micropackaging and Thermal Management

– La Rochelle –

**Jean-Yves Soulier - Zodiac Data Systems
(Safran Group)**
Chairman de la conférence

Le call for paper du 1^{er} janvier dernier vient de donner le top départ officiel d'un événement, dont nous avons anticipé la préparation avec la réservation du Mercure de La Rochelle et la préparation du social event.

Je souhaite vous voir plus nombreux qu'en février dernier dans un contexte technologique où le refroidissement de l'électronique reste un sujet critique. L'E-Fan X d'Airbus, Rolls Royce et Siemens est supposé voler l'an prochain et je reste curieux de savoir comment l'électronique associée a pu être refroidie. Les processeurs dont la dissipation thermique dépasse les 10 Watts sont de plus en plus présents dans les équipements électroniques et l'auteur de ces lignes est pour sa part bien trop souvent consulté au dernier moment, quand les choix d'architecture sont arrêtés et les développements déjà bien avancés. Bien souvent la solution réside alors dans une réduction des performances de l'équipement ou une négociation tardive des conditions d'environnement.

A l'inverse, aborder le sujet très tôt remet en cause les business plans dès lors que l'on explique qu'il faut installer une plaque froide et donc coupler son développement avec celui du client en demandant à ce dernier de fournir en plus le fluide de refroidissement et le système de distribution. Difficile alors d'expliquer que sans une solution de ce type, il faut alors s'orienter vers des solutions classiques telles que les radiateurs au détriment du volume et de la masse du système complet. Introduire des caloducs ou des ventilateurs pose le problème de la fiabilité, la mise en œuvre de ventilateurs fiabilisés pour les environnements sévères étant exclue en raison des coûts prohibitifs.

Il y a bien une quadrature du cercle dont on ne sortira qu'en admettant le problème et en changeant l'écosystème constitué des schémas

industriels, des technologies, des architectures complètes des aéronefs ou des automobiles, en imaginant des concepts globaux de refroidissement à la manière du format de l'ARINC600 et en identifiant toutes les sources disponibles en fonction du temps.

Alors toutes les technologies proposées depuis longtemps sur La Rochelle pourront donner leur pleine mesure.

Les **5 et 6 Février 2020 à La Rochelle** marqueront donc la **Quinzième Edition** d'un événement que j'aurai pour ma part le plaisir de présider pour la cinquième année consécutive. Il sera alors temps de passer la main à un nouveau président ou une nouvelle présidente, à qui nous aurons évidemment pris le soin d'expliquer les mécanismes de l'organisation et que je soutiendrai bien volontiers dans sa première.

Avec mes collègues du comité directeur, nous faisons aussi tous nos efforts pour que l'IMAPS soit enfin agréé organisme de formation, ce qui pourra aider au financement de vos missions à La Rochelle.



Jean-Yves Soulier

Advancing Microelectronics Magazine

En tant que membre IMAPS-France, nous vous rappelons que vous avez un libre accès à l'excellente revue Advancing MicroElectronics Magazine ; dans cette revue trimestrielle vous trouvez toutes les actualités et des articles techniques sélectionnés au travers des différents évènements américains.

Nous mettons à votre disposition ces documents sur notre site. En allant sur le site ImapsSource (<http://www.imapsource.org>), vous aurez toutes les archives de cette revue ; n'hésitez pas à vous y inscrire.

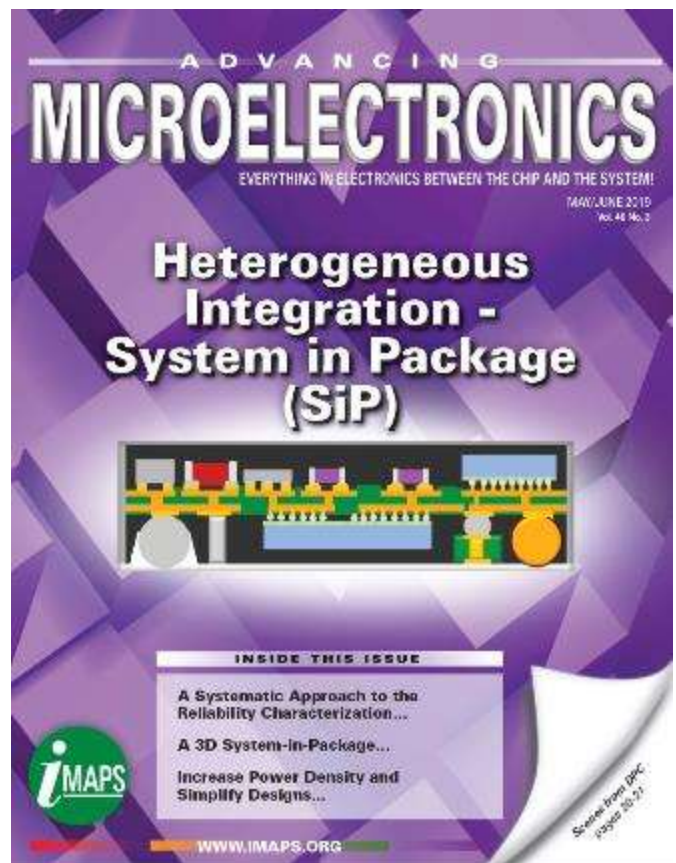
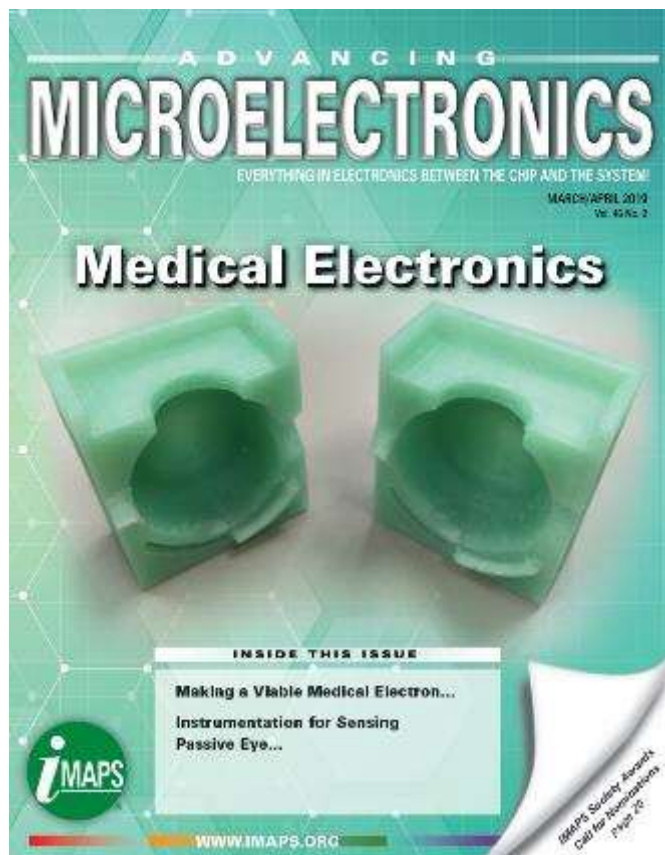
Les éditions 2018 complètes sont disponibles sur notre site.

Edition 2019 :

Janvier/Février 2019 : Device Packaging

Mars/Avril 2019 : Medical Electronics

Mai/Juin 2019 : Heterogeneous Integration – System in Package (SiP)



Pour tout renseignement complémentaire, contacter : Florence Vireton par messagerie : sur imaps.france@imapsfrance.org

ou par téléphone au 01 45 05 72 32