



Les mots du Président

Chers lecteurs/lectrices, les congés d'été sont proches !

Je voudrais féliciter toutes les personnes qui ont contribué à l'organisation de la conférence MiNaPAD aboutissement d'une aventure humaine de 9 mois. L'équipe a su gérer les impondérables des dernières minutes pour finalement créer un environnement propice aux discussions techniques avec les conférenciers et propice aux réunions d'affaires. Alors mon message est le suivant, un événement comme MiNaPAD peut être l'occasion, pour les participants, d'organiser en parallèle des réunions d'avancement de projets européens. Des infrastructures dédiées sont disponibles puisque réservées sur les trois jours de MiNaPAD.

Le bureau IMAPS se réunira en Septembre afin de dresser un bilan financier de cette année charnière à cheval sur les 4 derniers mois de 2017 et ceux de l'année en cours. Il nous donnera également l'occasion de proposer le programme de conférences 2019, de nommer les membres du bureau et d'expliquer le budget prévisionnel de notre association.

Enfin, je tiens à vous informer de la préparation de l'évènement EMPC-2019 (en d'autres termes de l'IMAPS Europe qui se déroule tous les deux ans) et dont la collecte des résumés a débuté ; si vous souhaitez en soumettre un, le site officiel est : <http://www.empc2019.org/>. Cet évènement se déroulera en Italie et est organisé par le chapitre italien de l'IMAPS, IMAPS-Italy.

Alexandre VAL

Editorial

Chers lecteurs, chères lectrices, en ce début de période estivale, le bilan est plutôt positif, avec un évènement Minapad qui a rassemblé en Mai dernier, plus de 100 participants, dont 28 stands, et 3 Keynotes : nous sommes fiers de ce succès, qui repose sur vos contributions en grande partie. Une des missions principales de notre association est de stimuler l'innovation en offrant un point de rencontre/d'échange autour du packaging et des interconnexions électroniques où applications et technologies se rencontrent sur toute la chaîne de valeur. Continuons ensemble à renforcer cet écosystème. Nous vous attendons le 8 Novembre à Tours avec notre évènement Puissance et vous garantissons d'ores et déjà un programme de qualité, dont un keynote. L'appel à papiers est encore ouvert et les inscriptions sont ouvertes sur notre site.

Sanae BOULAY

"Everything in electronics between the chip and the system" (ISHM – Une définition du Packaging)

Calendrier IMAPS France 2018/2019

<p>12 Septembre 2018 Comité directeur et Assemblée Générale IMAPS-France</p>
<p>8 Novembre 2018, Tours 10^{ème} From Nano to Micro Power Electronics and Packaging Workshop</p>
<p>6 et 7 Février 2019, La Rochelle 14^{ème} ATW on Micropackaging and Thermal management</p>

6^{ème} Forum MiNaPAD 2018

Jean-Luc DIOT – NovaPack Technologies

Président du Forum

La sixième édition du Forum MiNaPAD (Micro/Nano-Electronics Packaging and Assembly, Design and Manufacturing) s'est déroulée les **16 et 17 Mai 2017 à Grenoble** (World Trade Center) et a réuni ces 2 jours près de cent trente participants. Le **15 mai**, ces deux journées ont été précédées par une conférence ouverte de **Karlheinz Bock** de l'université de Dresde (Allemagne), organisée conjointement avec IEEE-CPMT, sur « *Hetero-Integration Electronics Packaging for Multi-Functionnal Systems* ».



Discussions animées (autour des stands et du buffet)

MiNaPAD était organisé avec deux sessions de conférences en parallèle à la fois sur les procédés d'assemblage, le design, la caractérisation, la fiabilité et les applications packaging. Ce programme très riche était complété par quatre *key-notes* : le 16 mai celle de **Karlheinz Bock** sur « *Electro-Optical Hetero-Integration* » puis celle de **Erik Jung** (Fraunhofer IZM, Berlin) « *Advancement for Exponential Medecine Driven by KET : Micro and Nanotechnologies* » et le 17 mai celle de **Magali Vigier** (Airbus) et **Philippe Pons** (pôle Aerospace Valley) intitulée « *Advanced Electronic Boards in Avionics, PCB & Assembly, Challenges and Perspectives* » et enfin celle de **Stéphane Bernabé** (CEA-Leti, Grenoble) sur « *Key Challenges for Photonic Integrated Circuits Integration and Packaging* ». Avec ces *key-notes* et les présentations des conférenciers, nous avons pu avoir une vision précise des derniers développements en termes de packaging « mass-

market » au niveau mondial et aussi des développements plus spécifiques et originaux au niveau Européen, notamment en termes de MEMS (*MicroElectroMechanical Systems*) et d'applications médicales.

Pendant les pauses, les participants ont pu aussi échanger avec leurs principaux fournisseurs autour d'une trentaine de stands qui couvraient les principales attentes des conférenciers, tant en termes de boîtiers, que d'assemblage, d'équipements et de matériaux. Par ailleurs, le 16 mai au soir, nous avons pu bénéficier d'un temps relativement clément pour notre « social event », organisé au restaurant l'Epicurien (dans le centre historique de Grenoble).



Social event (Restaurant L'Epicurien)

Nous tenons aussi à remercier les **3 sponsors de l'évènement** : ASE, Grenoble-Alpes Métropole (intercommunalité réunissant les 49 communes du bassin grenoblois), ST Microelectronics.



MiNaPAD s'est conclu par la remise du "**Best Paper Award**", remis à Bertrand Boutaud (fondateur de Mystic, start-up dédiée à la fabrication de MEMS sur base titane) dont un résumé détaillé est donné ci-dessous.



Remise du Best Paper Award à B. BOUTAUD

Titanium-based MEMS: Application for a Novel Implantable Feedthrough Using TTV (Through Titanium Via) Technologies

(Bertrand Boutaud et al.)

Introduction

Implantable feedthroughs are one of the critical components of the packaging of active implantable medical devices. They ensure the electrical pathway between the inner side of the device where the electronics and energy source are located, and the outer side of the device connected to the electrodes for the sensing and stimulation of various human organs.

Many technologies have been developed and are still under investigation to meet the stringent multifunctional requirements (hermeticity, electrical insulation between each electrical line, long term biocompatibility) of such components.

In this context, a breakthrough feedthrough design, based on titanium micromachining processes enabling Through Titanium Via (TTV's), is proposed, prototyped and characterized.

TTV design and fabrication

One TTV simply consists of one central titanium pillar electrically insulated from the surrounding titanium substrate as depicted in figures 1 & 2.

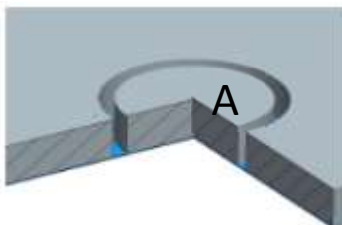


Figure 1: 3D Bottom view of one TTV

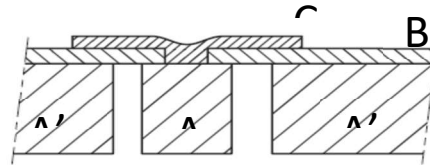


Figure 2: Cross-section view of one TTV

The top layers enable the mechanical support of the central pillar. The first layer is TiO₂ for electrical insulation. The second layer is gold and serves as an electrical contact to the top side of the pillar.

300 μm thick commercial grade 1 titanium wafers of 4-inch diameter were used as the starting titanium substrate for the process flow illustrated in figure 3.

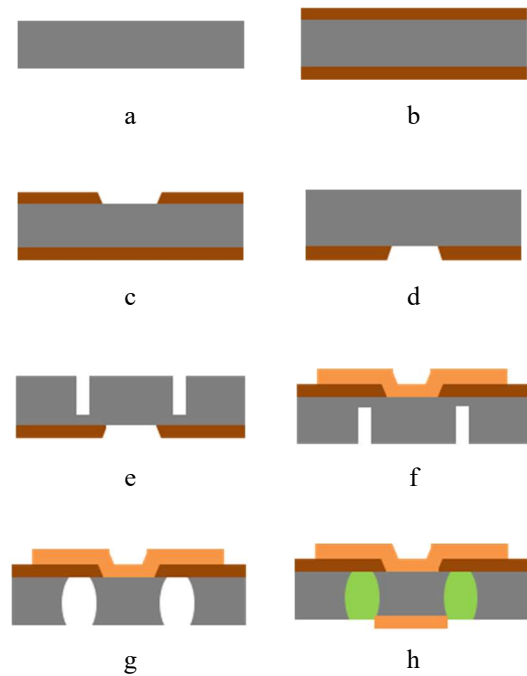


Figure 3: Process flow for the microfabrication of TTV (grey: titanium, brown: TiO₂, orange: gold, green: dielectric material)

First, the wafers (figure 3a) are thermally oxidized to obtain a titanium oxide thickness ranging from 3 to 15 microns on each side of the wafer (figure 3b). The oxidation process is run at temperatures between 700°C and 800°C under atmospheric pressure, with a duration ranging from 200 to 900 minutes. The process is optimized to enhance the final electrical resistivity of the oxide layer while minimizing the residual mechanical stresses.

By using an electrodeposited nickel hard mask (not represented in the figure 3c) a contact window is etched into the top side oxide layer (figure 3c) in

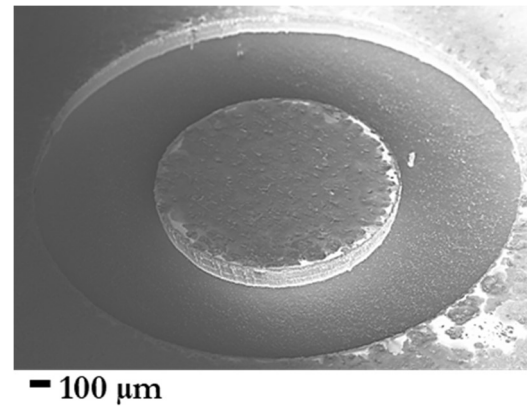
order to define a continuous electrical path between the pillar and the gold contact.

The hard mask is structured by a micro-molding process in a sulfate electrolytic bath. The nature of the seed layers and the electrodeposition parameters are carefully selected to promote the adhesion of the hard mask and to reduce its built-in stresses to prevent any delamination during the etching process which could cause under etching effects and alterations of the etched profiles.

The oxide layer is open by a fluorocarbon plasma step in an ICP Corial 200-IL reactor (figure 3c). After the plasma etching, the Ni mask is wet-etched by wafer immersion in Chromium Etching solution (MicroChemicals). Then, the whole backside TiO₂ layer is removed with the same plasma process by fully etching the surface without hard mask (figure 3d).

The central pillar is then defined by the deep etching of titanium (figure 3e) using a similar micro-molded nickel mask. A chlorine-based plasma has been reported to etch titanium with anisotropic profile. The average etch rate of titanium can be increased up to 2.4 μm/min with SF₆ addition which induces also an improvement of the selectivity to the nickel mask. Even if the titanium fluoride etch product exhibits a lower volatility than titanium chloride, a synergy between both chemistries enhances the overall etching mechanism.

This deep etching step is challenging since the etched feature is a 300 μm deep titanium pillar resting on a thin titanium oxide layer. The etching profile must be anisotropic to end up with a controlled definition of the gap between the pillar and the surrounding titanium. The first structures characterized in this work have been designed and etched with a gap of 300 μm, and pillar diameters of 500 μm (figure 4a) and 1000 μm. Much higher depth-to-gap aspect ratios have been achieved in parallel with 50 μm wide etched rings around the central pillar (figure 4b), thus enabling very small pitches in the future.



a



b

Figure 4: Tilted SEM view (a) and optical microscopy 3d reconstruction (b) of etched structures

A specific soft-landing step needs to be developed when the etch front approaches the thin TiO₂ layer to prevent any damage to it. It can be achieved either by adjusting the final plasma etching step to enhance the Ti to TiO₂ selectivity, or to proceed with a final wet etching of titanium chemically inert towards TiO₂.

In this work a wet etching has been selected. It is actually performed at the end of the process flow (figure 3g) in order to guarantee a sufficient strength of the etched wafer during the elaboration of the gold contacting layer. Due to the isotropic nature of such chemical process, a residual titanium depth of only 10μm is wet etched so as to preserve the TTV dimensions. The etching is realized in two steps, i.e. with two different solutions. The first solution is a diluted HF solution (1 BOE : 5 H₂O) resulting in an etch rate of 1 to 2 μm/min (depending of the dimensions of the gap) controlled by optical microscopy inspection and mechanical profilometry. Then, a second solution (HF:HNO₃:H₂O, 1:3:20) is used to complete the wet etching so as to fully eliminate any residual electrically conductive material and particles at the bottom etch. This solution gives a similar etch rate of 1 to 2 μm/min, but is less selective towards the Ni mask and the TiO₂ layer, thus requiring a pre-etching step.

The gold contact (figure 3g) is obtained by micro-molding in a sulfite gold electrolytic bath (Metakem). Attention is paid on the

electrodeposition parameters (current density, stirring...) in order to obtain a thick layer (about 20 μm) and sufficient conformal growth to insure good electrical connection.

Figure 3h illustrates additional backend processing steps of the TTV (second gold contact layer on the backside of the titanium pillar and backfilling of the etched area) which have been studied separately from the results reported in this paper.

In this work, 6 TTV's were actually designed on each chip to study various dimensional configurations, in particular pillar diameters of 500 μm and 1000 μm , with gap ring of 300 μm . It has to be noted that the minimum size of the pillar can be decreased down to a few tens of μm or even less, and the inter-TTV pitch is mostly driven by the gap. As described above, 50 μm wide gaps have been successfully deep etched, thus inter-TTV pitches of 100 μm and even less can be reached with this technology.

Properties of the TTV's

Advanced characterization of the TiO_2 electrical properties are first run with a dielectrimeter (Sefelec DMG50) at wafer level in ambient air conditions. The TiO_2 layer is very locally scratched and removed to contact the titanium conductive material with the alligator clip of the first electrode of the dielectrimeter. The correct electrical contact is verified by measuring an impedance below 0.1 Ω between the alligator clip and a remote portion of the titanium wafer similarly unoxidized and exposed.

The second probe of the dielectrimeter is then applied on the TiO_2 layer by using a spring test probe with a flat tip, thus avoiding mechanical damage to the thin oxide and electrical point effects.

Both high voltage impedance (in $\text{G}\Omega$) and dielectric strength (in V) are studied as a function of the oxide thickness grown on various titanium wafers.

For the typical TiO_2 thickness of 10 μm , the impedance turns out to be above the 100 $\text{G}\Omega$ max. limit of the dielectrimeter when 250 V DC are applied for 10 seconds.

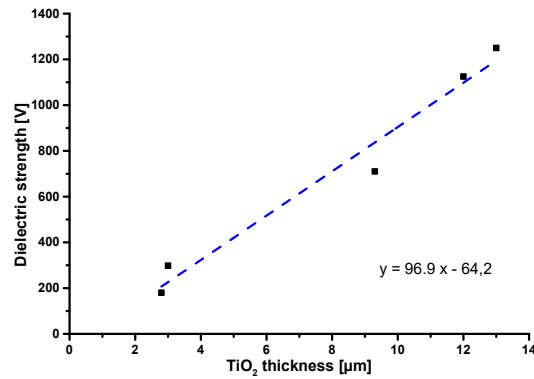


Figure 5: Correlation dielectric strength vs. oxide thickness

A fairly linear voltage/thickness characteristic is obtained, leading to a nearly constant breakdown field close to 100 $\text{V}/\mu\text{m}$. This value is in good agreement with the breakdown fields measured on very thin TiO_2 layers, and the range of thickness studied in this work fills the gaps of an overall synthesis recently published.

Then, after the overall fabrication process described in the previous section, a confirmatory test is run at the structure level with a conventional multimeter: the electrical insulation between each TTV is measured by contacting each gold pad associated to each TTV. The inter-TTV impedance is above the maximum value of 100 $\text{M}\Omega$ which can be displayed by the multimeter.

Also, at the structure level, a conductivity test across one TTV is performed by placing one probe of the multimeter on one gold pad covering one titanium pillar, and the second probe on the backside face of the titanium pillar A. The value goes below the minimum 0.1 Ω impedance detectable by the multimeter.

The **hermeticity of the TTV's** is assessed by leak testing them with a helium mass spectrometer Alcatel DGC1001. The parts are placed in the pocket of a specific cylindrical jig connected to the vacuum of the chamber. The periphery of the chip is sealed inside the jig, and the top surface of the chip is exposed to a helium flow.

Leak tests are performed before and after thermal cycling the TTV's according to MIL-STD 202, method 107, test condition B. No leaks were detected by the mass spectrometer set at its minimum resolution of 10^{-9} atm.cc/sec helium.

Last, in order to anticipate the integration of such TTV's inside the titanium housing of a medical device, preliminary **laser welding trials** have been run between a TTV chip and a dedicated titanium counterpart. The design of the titanium counterpart

includes a 0.3 mm deep pocket into which the TTV chip is placed, and such that the top surface of the chip is aligned with the top surface of the titanium part.



Figure 6: TTV chip manually assembled inside a titanium pocket before laser welding

The tests are conducted on a Roofin-Basel Select laser welder, with an argon flow blown onto the area to be welded. Interestingly, given the very tight dimensional tolerances of the TTV chip below $\pm 10 \mu\text{m}$, the gap to be welded between the TTV chip and the titanium pocket does not require a large spot size, thus reducing the heat affected zone. A spot with a conservative 0.4 mm diameter has however been selected to be representative of typical laser welding conditions on implantable medical devices. The energy, pulse duration and sequential spot overlap were set respectively to 1.5 J, 2 ms and 80%.

Figures 7a and 7b show a typical welding path of excellent quality with no voids nor pinholes. The weld depth has not been measured, but the mechanical strength of such assemblies exceeded extreme manual force applied to it with tweezers, and which will be further quantified.

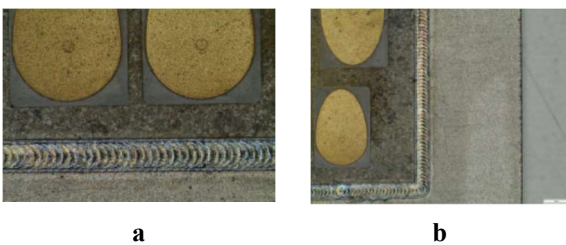


Figure 7: Homogeneous and seamless welding path between the TTV chip and the titanium pocket

Also, one can highlight that the welding process did not generate any crack nor delamination inside the TiO_2 layer nor in the TTV's metallization, thus

ensuring thermomechanical immunity of the structure towards this integration step.

Conclusion

A highly innovative process flow has been pioneered and developed, with unique technological steps such as ultra-deep ($> 250 \mu\text{m}$) plasma etching of grade 1 titanium, and 10 to $20 \mu\text{m}$ thick layers of TiO_2 and gold layers not reported elsewhere in the state-of-the art. Based on the selection and micromachining of materials exclusively recognized as intrinsically biocompatible, this work paves the way to the design and fabrication of smart and implantable microsystems.

Across this feasibility study, and as a first application of this portfolio of technologies, TTV's position themselves as a breakthrough alternative to implantable feedthroughs, with the possibility to reach via pitches as small as $100 \mu\text{m}$ and even below.

The advantage not only lies in the unrivalled potential shrinkage of such components, but also in their ease of integration, thanks to a dimensional control at the μm scale, and connection pads widely used in the electronic industry with automated processes.

Last, the batch processing technologies involved in the fabrication flow ensure high quality and reproducibility with no manual assembly step, as well as advantageous industrial scale up.

10^{ème} Forum Power 2018

From Nano to Macro Power Electronics & Packaging Workshop 2018

Stéphane BELLENGER – EOLANE

General Chairman

Le comité Technique ainsi que toute l'équipe dédiée à cet évènement afin qu'il puisse exister et devenir un succès, ont le plaisir de vous donner l'état d'avancement de la préparation de ce 10^{ème} Workshop consacré aux procédés et technologies de packaging dédiés aux applications liées à la conversion ou la récupération d'énergie. Un workshop résolument orienté « puissance ».

Je ne saurais jamais assez remercier cette équipe pour le travail qu'ils mènent au sein de cette organisation, pour recevoir des papiers techniques qui puissent répondre à vos attentes et pour mettre en place la logistique de l'évènement. Un seul but porte cette équipe : que cette journée soit profitable à nos auditeurs, que nous attendons nombreux le Jeudi 8 Novembre prochain, soit un lieu d'échange pour nos défis d'aujourd'hui et de demain.

Le comité technique est de nouveau international :

M. Lars Boëttcher du Fraunhofer Institute,
M. Cyril Buttay du Laboratoire Ampère,
M. Guillaume Callérant de Sonceboz,
M Jean-Luc Diot de Novapack,
M. Marc Dussaussoy du Groupe Thales,
M. Sébastien Jacques du Laboratoire Greman,
M. Guo-Quan Lu de Virginia Tech,
M. Jürgen Schuderer de ABB Corporate Research,
Mr. Daniel Alquier du Greman, co-chairman,
M. Christophe Serre de ST- Micro, co-chairman
M. Stéphane Bellenger d'Eolane, votre chairman

L'équipe tient à remercier très sincèrement Mme Florence Vireton pour l'énorme travail mené au sein de l'IMAPS pour cet évènement (Et pour l'ensemble des 4 évènements français), ceci de façon indéfectible d'année en année. Merci Florence !

Enfin, cet évènement se tiendra selon son habitude depuis 10 ans, dans le magnifique amphithéâtre du département électronique et énergie du Greman (Ecole Polytech 7 avenue Marcel Dassault, Tours). Réservez dès maintenant votre journée !

Cette année, nous ferons une plus large place à nos sociétés partenaires, représentants d'équipements, de matériaux et/ou de solutions d'assemblage et de test, par une annonce en amphithéâtre du contenu de leurs stands, et en centrant le buffet au milieu des expositions dans le hall du Greman.

Nous avons à ce jour reçu 7 papiers et une proposition de keynote qui est en cours de discussion. Nous espérons pouvoir bénéficier d'un illustre professeur de l'université d'Osaka (Japon) pour ce keynote. Gardons le suspense jusqu'à la fin de l'été ! Les 7 papiers que nous avons déjà reçus proviennent des sociétés et instituts suivants : Laboratoire Greman, CEA-Leti, Rogers, Indium, ST-Microelectronics, ABB Research et INSA. Un très beau panel à compléter par quelques papiers encore. Nous espérons également finaliser nos discussions pour apporter un deuxième keynote à cette journée. Les table-top se remplissent déjà, et devraient être au complet pour le 8 novembre.



Afin de nous donner toutes libertés d'organiser un workshop de qualité, nous étendons l'appel à papiers jusqu'à fin juillet.

Votre contribution est fondamentale !

Envoyez vos propositions à l'IMAPS.

Nous ne remercierons jamais autant nos orateurs, exposants, auditeurs, sponsors et organisateurs IMAPS pour leurs efforts bénévoles à faire vivre ce cycle de conférences.

Bien à vous, et au plaisir de vous rencontrer sur Tours,

14th European Advanced Technology Workshop on Micropackaging and Thermal Management

– La Rochelle –

Jean-Yves Soulier

Zodiac Aerospace

Les premiers appels à communication viennent d'être lancés pour un 14^{ième} workshop qui se tiendra donc les 6 et 7 février 2019 à La Rochelle.

Le comité technique du workshop, en charge d'aider à la collecte de communications, à leur évaluation et à l'organisation du programme évolue cette année avec le départ d'Isabel Obieta d'Inasmet Tecnalia que je remercie pour tout le travail accompli durant de nombreuses années et l'arrivée de Jean-Pierre Fradin de l'ICAM de Toulouse, de Mohammed Abo Ras du Berliner Nanotest et de Raphaël Sommet du laboratoire XLIM de l'Université de Limoges, tous conférenciers lors des précédents workshops, les deux premiers cités piliers de notre événement.

Le lecteur trouvera ci-après un rappel en anglais des thèmes qui seront développés durant ce workshop mais je me permets de lancer un appel tout particulier aux communications montrant la résolution de problèmes complets et le développement de solutions entre les différents points chauds d'un équipement et la source froide ultime.

De telles communications sont en quelque sorte la mise en application de toutes les techniques et nouvelles technologies présentées par ailleurs dans ce workshop.

Le thème de la fiabilité des technologies vient pour sa part aider à l'évaluation de la performance globale de l'équipement et l'industrialisation des solutions de refroidissement reste aussi un sujet éligible au workshop.

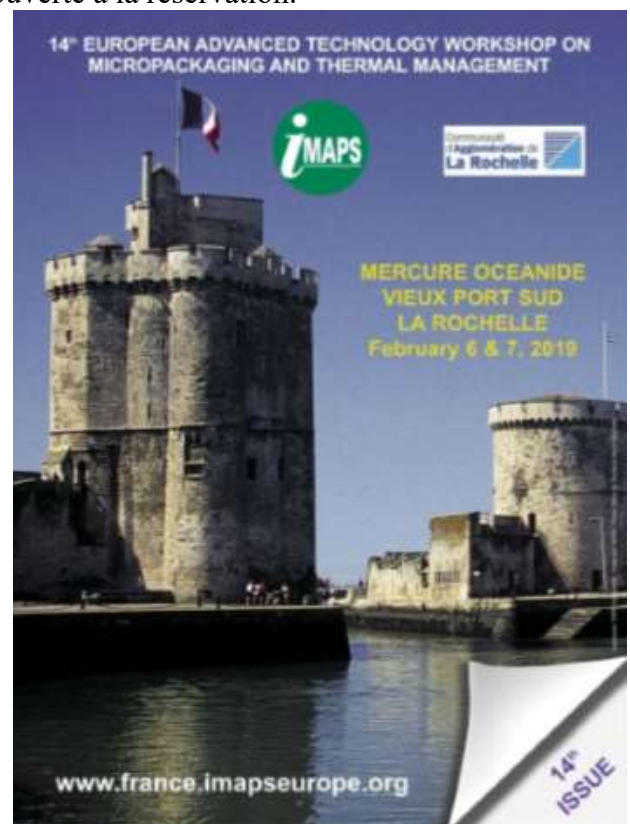
Les sessions pour ces 2 jours vont donc traiter les thèmes suivants :

- Cooling solutions for microelectronics packaging,
- Micro-cooling solutions,
- Heat conductive materials at chip, board, sub-system and system levels,
- Advances in PCBs for thermal management,

- Thermal modeling and simulation,
- Heatsinks, heatpipes and other cooling products,
- Liquid and phase change cooling,
- New cooling solutions,
- Overviews or examples of products, systems cooling, power electronics, automotive transport,
- Thermal management of optoelectronics components (LEDs, IR sensors...),
- Reliability of electronic components over extended temperature range and under temperature variation,
- Thermal management aspects of 3D integration: thermal interface materials, dissipation from PCB embedded components and hot spots, and special techniques (e.g. micro-channels).

Nous vous invitons à bien vouloir soumettre vos résumés (200 à 300 mots) détaillant ainsi votre sujet avant le 12 Octobre 2018. **A vos stylos et claviers pour nous soumettre de nombreuses conférences !**

Et bien évidemment, notre partie exposants est déjà ouverte à la réservation.



Informations diverses

Revue Advancing Microelectronics

En tant que membre IMAPS-France, je vous rappelle que vous avez un libre accès à l'excellente revue Advancing MicroElectronics ; dans cette revue trimestrielle vous trouvez toutes les actualités et des articles techniques sélectionnés au travers des différents événements américains.

Nous mettons à votre disposition ces documents sur notre site.

En allant sur le site ImapsSource (<http://www.imapsource.org>), vous aurez toutes les archives de cette revue ; n'hésitez pas à vous y inscrire !

Editions 2018 disponibles sur notre site :

Janvier/Février 2018 : Fan Out Wafer Level Packaging

Mars/Avril 2018 : RF/Microwave High-Frequency High-Reliability

L'édition suivante vient d'être déposée sur notre site :

Mai/Juin 2018 : Heterogeneous Integration - System In Package



Note importante

Adhésions

N'oubliez pas de renouveler vos adhésions pour la prochaine année.

Pour tout renseignement complémentaire, contacter : Florence Vireton par messagerie : sur imaps.france@imapsfrance.org

ou par téléphone au 01 45 05 72 32

Prochaine édition : Octobre 2018