



Le mot du Président

Cette annonce sur la contrefaçon des composants électronique, a retenu particulièrement mon attention :

La lutte contre la contrefaçon marque un point. Un coup de filet des douanes européennes a permis de saisir plus de million de semi-conducteurs contrefaits en provenance de la Chine continentale et de Hong Kong. L'ESIA, association européenne de l'industrie des semi-conducteurs, se félicite des résultats de cette opération douanière commune à l'échelle de l'Union européenne, coordonnée par les douanes néerlandaises et menée en coopération avec l'Office européen de lutte antifraude (OLAF) et les autorités douanières de douze Etats membres de l'Union en 2016.

L'enquête douanière, baptisée «Opération Wafers» (Cela pourrait être le titre d'un bon roman d'espionnage de John Le Carré ! 😊), a réussi à saisir en deux semaines plus d'un million de semi-conducteurs contrefaits importés dans l'Union européenne en provenance de Chine et de Hong Kong.

La distribution et la vente de semi-conducteurs contrefaits peuvent représenter un risque potentiel pour la sécurité et la santé des consommateurs ainsi que pour les menaces pour les infrastructures nationales critiques, rappelle l'ESIA.

L'ESIA attend désormais le renforcement des relations avec les autorités de l'Union et des Etats membres pour éviter que les semi-conducteurs contrefaits ne pénètrent dans le marché unique.

Dans certains secteurs industriels, cela est inscrit dans le processus d'approvisionnement des composants et donc ce risque est identifié en amont de la chaîne par la sélection des sources et par les contrôles d'entrées réalisés ; un guide sur la prévention de la contrefaçon des composants électroniques est disponible et il permet d'orienter l'industriel vers la maîtrise des approvisionnements des composants électroniques auprès des distributeurs non franchisés

https://www.gifas.asso.fr/fichiersPDF/Publication_s/Publications/2008_5052_GuideGIFAS_Contrefacon_VF.pdf).

Alexandre VAL

"Everything in electronics between the chip and the system" (ISHM – Une définition du Packaging)

Editorial,

Chers lecteurs/lectrices,

Les mois d'avril et de mai restent toujours riches en événements IMAPS. Ce dernier printemps a vu la tenue des workshops RaMP 2017 et MiNaPad 2017, dont nous donnons plus loin un compte-rendu détaillé. Notons que dans les applications hyperfréquence, la technologie LTCC propose des solutions pour faciliter la dissipation thermique et que la molécule parylène progresse encore dans les solutions de revêtement en s'adaptant à de nouvelles applications. Enchaînons alors et prenons, d'ores et déjà, date pour les deux derniers événements de l'année en nous inscrivant au Nano to Macro Power Electronics de Tours et en proposant des résumés pour l'ATW Medical de Lyon. Nous profiterons enfin de la trêve estivale pour déménager le bureau de l'IMAPS de Versailles à Paris.

Sanae BOULAY

Calendrier IMAPS France 2017

Assemblée Générale IMAPS 2017
Les 11 et 12 Octobre 2017, Tours 9^{ème} ATW From Nano to Macro Power Electronics & Packaging
Les 22 et 23 Novembre 2017, Lyon 5^{ème} ATW Microelectronics, Systems & Packaging for Medical Applications
Les 31 Janvier et 1^{er} Février 2018, La Rochelle 13^{ème} ATW Micro Packaging and Thermal Management

RaMP 2017

26 et 27 Avril à Paris

General Co-Chairs

Brigitte Braux (Imaps France)

And Ken Kuang

(Torrey Hills Technologies, LLC)



Retour sur un évènement international...

Les 26 et 27 avril 2017, 40 experts en packaging des technologies hyperfréquences et micro-ondes se sont retrouvés à Paris pour deux jours de conférences.

Le workshop RaMP s'était tenu l'année dernière à San Diego sous l'égide d'IMAPS North America. Cette année, l'Europe recevait et IMAPS France organisait.

Avant de résumer les points positifs, il est important de signaler toutefois l'absence de fréquentation française, à l'exception de quelques auditeurs et l'absence de conférencier français. Dommage...

Avec un programme technique de très haute qualité, RaMP, conférence sur la RF et le micropackaging abordait pourtant des sujets d'actualité puisque orienté sur les technologies pour la digitalisation...

Une exposition «table top» a permis à une douzaine d'exposants de présenter leurs avancées en la matière.



Les exposants de RAMP à l'Espace Saint Martin

Dans une ambiance très chaleureuse, les questions furent nombreuses à l'issue de chaque conférence.

Le lieu choisi, Espace Saint Martin, nouveau pour IMAPS, s'est montré parfaitement adapté à nos évènements avec des prestations de qualité.

Les moments de convivialité «à la française» furent très appréciés de tous.



Soirée au restaurant l'Ambassade d'Auvergne



Repas dans la salle des exposants

Merci aux membres du comité d'organisation dirigé par Michel de Langen qui ont permis d'établir ce programme riche et surtout....

Un grand merci à Ken Kuang, co-chairman de l'évènement et principal sponsor pour avoir animé ces deux jours, remplaçant même au pied levé un conférencier absent !

Ken a également offert dix exemplaires de son livre sur la RF et le packaging qui ont fait le bonheur de dix participants tirés au sort.



Ken Kuang



and the book

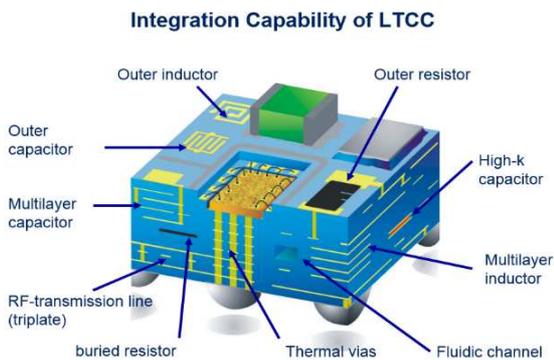
Parmi les présentations proposées, deux ont été particulièrement appréciées, le keynote du Professeur Jens Müller (Université de Technologie d'Ilmenau - Allemagne) et la conférence de Liam Devlin (Plextek RFI -Angleterre). Quelques lignes sur chacun d'eux...

Professor Jens Müller (University of Ilmenau Germany): LTCC-based Modules for Smart ComSatApplications

Jens Müller a fait un remarquable exposé sur la technologie LTCC pour les applications spatiales.

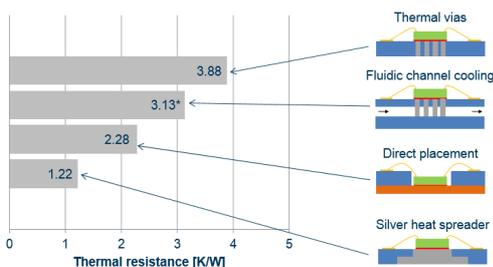
Retraçant d'abord les besoins du domaine, il a insisté bien sûr sur la fiabilité et la miniaturisation mais aussi sur les coûts de production qui deviennent un critère -clé pour le spatial en particulier pour les constellations à venir.

Les possibilités de la technologie LTCC sont nombreuses, résumées dans l'illustration suivante.



Jens Müller a mis l'accent sur le point d'amélioration en cours : la dissipation thermique dans les micromodules en LTCC. L'optimisation de la dissipation thermique passe par le développement de solution passive comme les vias thermiques, à base d'encre Argent ou l'assemblage des puces sur des radiateurs en métal Ag intégré. Les solutions de refroidissement active font appel à des boucles fluidiques incorporées dans le substrat.

Thermal Management in LTCC Packages



En conclusion, encore de larges perspectives d'amélioration pour cette technologie.

Liam Devlin ((Plextek RFI, United Kingdom)) mm-wave Technologies and Components for 5G Applications

La génération 5G pour téléphonie mobile est en plein développement et fait bien sûr appel aux technologies des hyperfréquences.

Liam Devlin a mis en évidence un panel de technologies compatibles de la 5G et présenté de nombreuses applications déjà réalisées dans sa société. Pour chaque application, technologie et performances étaient associées. Cette approche très pragmatique en fit un exposé très concret et donc apprécié des auditeurs. Les grandes tendances d'intégration furent présentées tant au niveau des circuits intégrés (SI, Ge, GaN...) que des packagings. Le tableau ci-après synthétise ces évolutions.

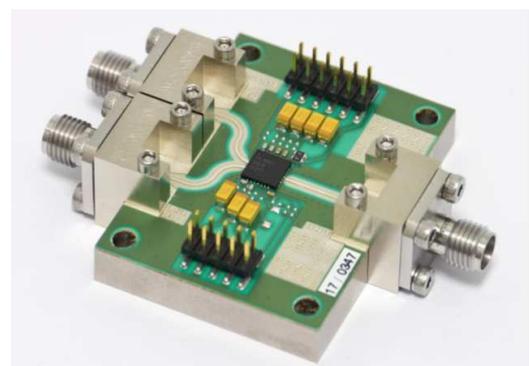
Packaging Options and Trends For mm-wave blocks

The frequencies in the table below are guidelines rather than hard limits:

Style	Typical Frequency	Comments
Over-moulded plastic	To ~ 30GHz	Normally uses custom leadframe
Air-cavity plastic	To ~ 42GHz	Normally uses custom leadframe
Laminate	To ~ 45GHz	Normally custom designed for higher frequency use
Multi-Chip Modules	To 100GHz	Bare die assembled into custom substrate

Quelques exemples de réalisation furent proposés.

Parmi les différents produits, l'approche « plastique surmoulé » a été présentée pour une application à 28 GHz.



La conclusion insistait sur l'innovation en termes de conception et de packaging associé avec un souci de flexibilité car les bandes de fréquences opérationnelles pour la 5G ne sont pas encore complètement figées.

Brigitte Braux

5ème MiNaPAD 2017

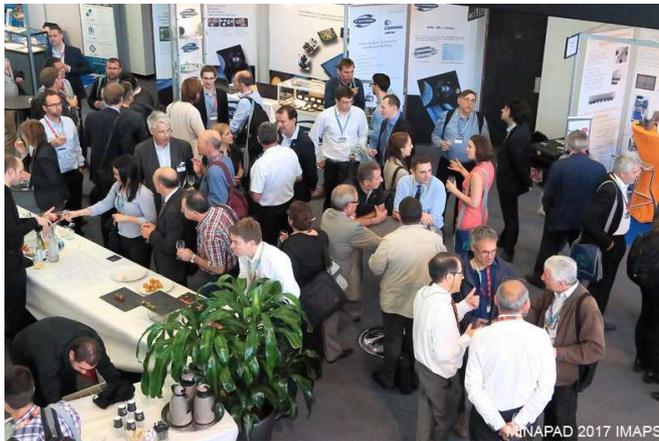
Grenoble, France

Jean-Luc DIOT

NovaPack

Président du Forum

La cinquième édition du Forum MiNaPAD (Micro/Nano-Electronics Packaging and Assembly, Design and Manufacturing) s'est déroulée les **17 et 18 Mai 2017 à Grenoble** (World Trade Center) et a réuni plus d'une centaine de participants. Le **16 mai**, ces deux journées ont été précédées par une conférence de **Mervi Paulasto** de l'université d'Aalto (Finlande), organisée conjointement avec CPMT, sur « *Design for Reliability for Multi-Materials Assemblies* ».



Discussion animée (autour des stands)

MiNaPAD proposait deux sessions de conférences en parallèle traitant des procédés d'assemblage, du design et des applications packaging. Ce programme très riche était complété par trois *key-notes* : le 17 mai celle de **Mervi Paulasto** sur « *New Materials Entering MEMS* » et le 18 mai celle de **Christophe Zinck** (ASE Europe) intitulée « *Fan-In WLCSP a mature technology? What's next?* » et celle de **Seung Wook Yoon** (STATS-ChipPAC Singapour) sur « *FO-WLP: The third Wave of Fan-Out Packaging with Scalability* ».

Avec ces *key-notes* et les présentations des conférenciers, nous avons pu avoir une vision précise des derniers développements en termes de packaging « mass-market » au niveau mondial et aussi des développements plus spécifiques et originaux au niveau Européen, et notamment sur les puces enterrées dans le substrat (une session

entière était dédiée au projet Européen UNSETH sur ce thème).

Pendant les pauses, les participants ont pu aussi échanger avec leurs principaux fournisseurs autour d'une trentaine de stands qui couvraient les principales attentes des conférenciers, tant en termes de boîtiers, que d'assemblage, d'équipements et de matériaux. Par ailleurs, le 17 mai au soir, nous avons pu bénéficier d'un temps particulièrement clément pour notre « social event », organisé au restaurant les Jardins de Sainte Cécile (et donc profiter de ce jardin).



Social event (Les Jardins de Sainte Cécile)

MiNaPAD s'est conclu par la remise du "Best Paper Award", remis à Rakesh Kumar (de Specialty Coating Systems) dont un résumé détaillé est donné ci-dessous. Une mention spéciale à Marion Volpert (CEA-Leti) qui a présenté une conférence intitulée « *A Wafer Level Packaging Approach for Power LEDs* ».



Remise du Best Paper Award à R. KUMAR

Parylene Nanostructures and Coatings for Electronics Applications

(Rakesh Kumar and Andreas Greiner)

Introduction

The name “Parylene” represents members of a unique series of *p*-xylylene. The chemistry of Parylene polymers start with the quinonoid hydrocarbon, para xylylene or PX, and its polymer, poly-para xylylene or PPX, which were first reported in 1947 by Michael Szwarc, who discovered this polymer accidentally while carrying out experiments to determine the bond energies of toluene and para xylylene.

The Parylenes (xylylene polymers) have been classified as thermoplastic polymers that are formed on substrate surfaces using vacuum deposition polymerization. They are linear and polycrystalline in nature and possess useful dielectric and barrier properties per unit thickness. They are also chemically inert, and films are pinhole-free at film-thickness greater than 700 nm

Parylenes are applied to substrates in a vacuum chamber, a process that has certain similarities with vacuum metallizing. Unlike vacuum metallization, however, which is conducted at pressures of 10^{-5} torr or below, the Parylenes are formed at around 0.1 torr. Vacuum deposition polymerization begins with the vaporization of a Parylene dimer. The dimer vapor is then pyrolytically cleaved at temperatures of 600 to 700°C to form a reactive monomer vapor. The reactive monomer vapor is then transferred to a deposition chamber where the substrates are located. In the deposition chamber, the reactive monomer vapor spontaneously condenses onto the substrates to form a Parylene coating.

Some key properties of Parylenes include high thermomechanical stability, excellent barrier properties, excellent hydrolytic stability, excellent solvent resistance, excellent insulation properties, excellent biocompatibility, very good transparency, very good oxidative stability, and nicely tailorable friction properties. Parylenes have been utilized for a large variety of applications with different purposes such as protective coatings, insulative coatings, implant coatings and many others.

Parylenes continue to find numerous applications in the protection and reliability enhancement of many nano and micro devices in the medical and electronic fields. Recently, Parylenes have drawn considerable interest as a structural material for nano and micro technologies

because of their exceptional properties, including stress-free, truly conformal deposition, chemical inertness, low dielectric constant, biocompatibility and optical transparency. During the past several years, Parylene polymers have been considered an integral part of micro and nano devices by many biomedical engineering researchers as devices are made of Parylene through MEMs technology. The chemical structures of Parylene polymers for nanotechnology applications are shown in Figure 1.

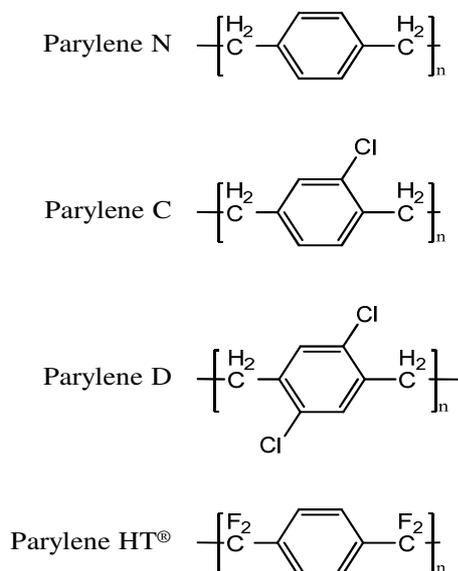


Figure 1: Commercially available Parylenes for nanotechnology applications.

In an effort to advance the applications for Parylenes further through the above work, Parylene hollow-nanospheres and nanotubes were successfully developed, which opened a variety of new applications in the medical and electronics areas. Examples include, but are not limited to, controlled release of drug delivery systems, sensors, separation technology (gases, particle filtration, bacteria, etc.) and electronics (piezoelectric shaping, nanoperistaltic pumps, etc.). This work demonstrates that Parylene nanostructured materials can be obtained, as non-woven, from 10 nm to 125 microns in size with excellent electrical insulation, low dielectric constant (< 3), and excellent capability to withstand chemical, mechanical and electrical stresses. Several new commercial applications that will have significant impact in medical, electronics and others areas can now be developed.

Parylene Nanostructures

The following three major steps were involved in the preparation of Parylene nanostructures:

1. Manufacturing of scaffolding materials
2. Coating of scaffolding materials with Parylene using vapor phase deposition polymerization
3. Removal of scaffolding materials without adversely affecting the Parylene nano & meso structures.

The nano and mesospheres are made from polymeric materials and metals and are produced using vapor phase polymerization processes involving scaffold, foaming, spraying and various types of chemical reactions. To prepare the hollow spheres that include both closed and open structures, it is necessary to have scaffold materials that are to be removed after final structures of spheres are formed. Processes involved in manufacturing of nano and meso structured scaffold materials include colloidal precipitation, spray (liquid, plasma, laser ablation/shock/vaporization), nebulized (ultrasonic), electro-spray, electro-spinning and planar templates. There are two processes involved in electrospinning to prepare scaffold materials; one is through electrical modulation and other involving multi-axial spinning. A carbohydrate, specifically sugar, was used to create initial scaffold materials for producing the nano & meso spheres. However, there are other materials as well that can be used, including soluble polymers and compounds, natural products, radiation active compounds (both metallic and non-metallic), and ice, moisture, heat and light sensitive materials.

The process of making hollow spheres involves creating solid spheres using the techniques described above with the diameter range from one nm to 100 microns and then applying another layer of materials over the solid spheres using PVD, CVD, liquids, copolymerization and/or a combination thereof. The scaffold materials are finally removed either by heat, radiation or through chemical reactions that could also include solubilization to produce hollow nano & meso spheres of 10 nm to 125 microns diameter range. Hollow spheres are then functionalized based on individual applications, which include ultracapacitors, active and passive thermal management systems, electromagnetic shielding

materials, radiation dosimeter, timed drug released systems, catalysts, nanotextiles, various types of membranes, rheology modifier, air purification systems, and displays. Functionalization is achieved through co-polymerization, plasma attachment and grafting, and gas phase/liquid attachment.

Scaffolding materials for nano & mesotubes, shown in Figures 2 and 3, were prepared to be rod-shaped by hot-melting sucrose. The sucrose granules were heated to a temperature in a range of about 185 to about 220° C until the granules were transformed into a liquid state. The hot-melted sugar was spun at a rate in a range of about 1,000 to about 3,000 rpm to create fine solid fiber structures. The spun solid fiber structures were allowed to cool to about room temperature. Scaffolding materials for nano & mesospheres as shown in Figures 4 and 5 were prepared by granulation of hot-melting sucrose into substantially spherical-shaped particles.



Figure 2: Parylene mesoscale tube structures.

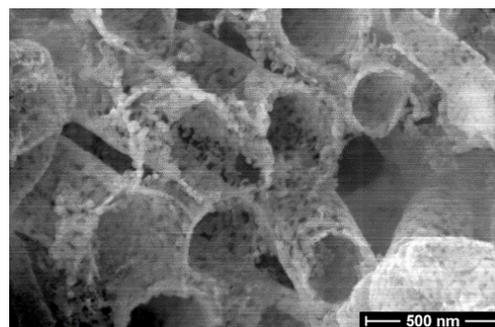


Figure 3: Parylene Nanotubes.

The formed scaffolding materials were then coated by vapor phase deposition polymerization (utilizing a PDS system available from Specialty Coating Systems, Indianapolis, Indiana) of a Parylene precursor, dimer, to create a polymeric layer of Parylene. Vaporization was performed at a

temperature of about 150° C at a pressure of about 1 torr. Pyrolyzation was performed at a temperature of about 680° C at a pressure of about 0.5 torr. Deposition was performed at a temperature of about 25° C with a chamber vacuum pressure of about 0.1 torr.

Following vapor phase coating, the samples were exposed to hot water at near boiling point, having a temperature in a range of about 80° to about 90° C. The hot water solvent was replaced about every twelve hours. After about four days, the mesoscaled structures were dried under vacuum, of about -25 psi, in an oven at a temperature of about 60° C.

Functionalization of nano & mesotube structures was carried out by deposition of metal on the Parylene surface. Copper was deposited on the outer surface of the Parylene mesotubes by utilizing electroless copper coating techniques to produce a copper layer with a thickness of about 0.2 to 0.3 mm.

Parylene nanotubes were also prepared, using the TUFT-process, by coating of electrospun polymer nanofibers. According to this straight-forward process, Parylene nanotubes were obtained by vapor-phase Parylene coating of electrospun template polymer nanofibers (Example, polylactide (PLA), polyethylene oxide (PEO) or polyamide (PA)) followed by selective removal of the core template fibers. Numerous variations of Parylene nanotubes are possible by loading of the template polymers with other materials or by sequential coating by other materials.

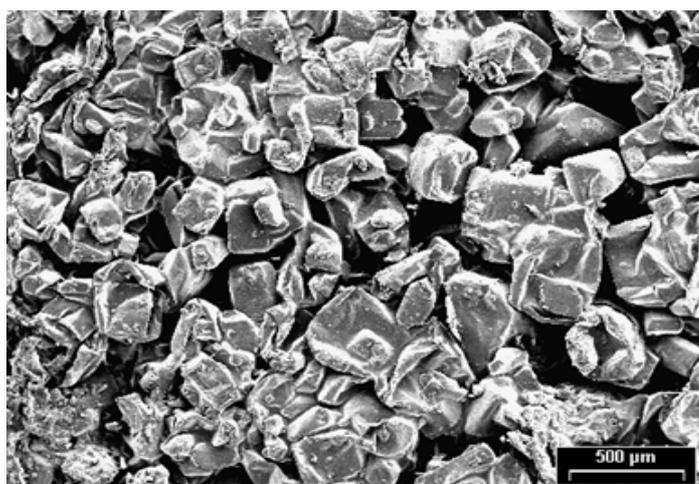


Figure 4: Parylene Hollow-spheres or structures.

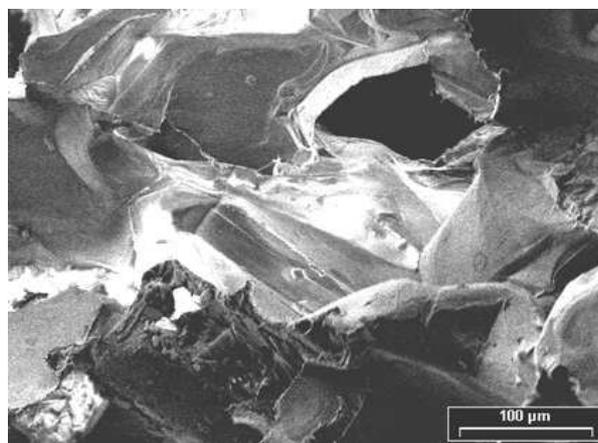


Figure 5: Parylene hollow-shape structures.

It is important, in the context of the template materials, for the preparation of tubes by coating heat degradable template fibers, that the melting point of Parylene is 420°C and that it shows a very good thermal stability. This makes Parylene a perfect material to withstand thermal degradation conditions to which the PLA template fibers have to be subjected. Coating of the PLA template fibers with Parylene by CVD yields Parylene/PLA core-shell fibers. Subsequent annealing of these fibers above 250°C in vacuum results in the degradation of the PLA-core, which leads to Parylene tubes (Figure 6). The length of the tubes is greater than 100 μm. The inner tube diameter can be adjusted between 10 and 2000 nm, depending on the diameter of the PLA template fibers. The wall thickness of the tubes is in the range of several 100 to 1000 nm, depending on the feed of [2.2] paracyclophane.

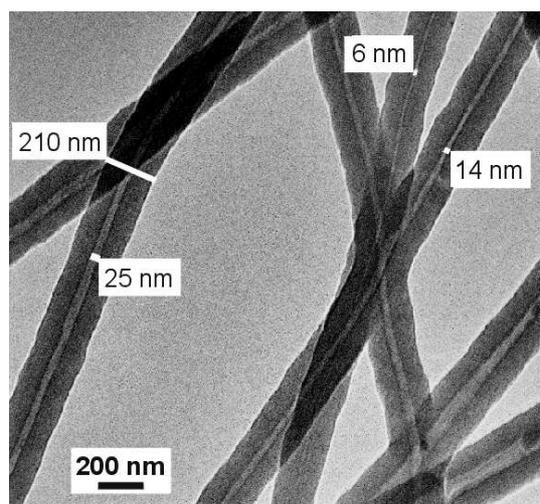


Figure 6: TEM of Parylene nanotubes obtained using electrospun PLA nanofibers according to the TUFT-process.

Using template fibers with a porous surface, one is able to fabricate tubes displaying a structured inner surface (Figure 7). Such highly structured surfaces are of great interest for applications related to large surface/volume ratios.

Electrospinning of a solution of poly (L-lactide) (PLA) and metal compounds such as palladium diacetate (PdOAc), silver acetate or copper acetate in dichloromethane (Example, three weight percentage each) resulted in PLA-metal acetate composite fibers. Coating of these composite nanofibers by Parylene and subsequent annealing resulted in the formation of Parylene tubes doped with corresponding metal nanoparticles.

The sizes of these Pd-nanoparticles as well as their positions depend significantly on the processing parameters. For example, annealing of cut PLA-PdOAc-Parylene composite fibers for five hours in vacuum resulted in the formation of Parylene-Pd-composite nanotubes with Pd-nanoparticles also on the outside of the tubes.

Application of Parylene Nanostructures

Applications of nanostructures include, but are not limited to:

- Electronics, optics and energy recovery - wire, cables, capacitors, micromachines (e.g. piezoelectric shaping, nanoperistaltic pumps or for the shaping of photo addressable polymers
- **Microreactors - in chip technology as flexible devices, interlayer dielectrics**
- **Sensor Technology - solvent, gas, moisture and controlled release of drug delivery**
- Fuel cells, batteries, and electro-chemical reactions.

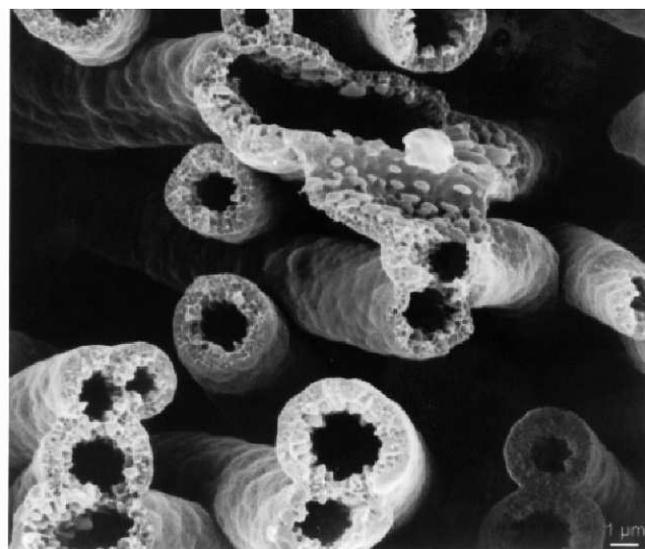


Figure 7: SEM micrograph of Parylene nanotubes prepared using TUFT process.

Conclusion

The data shared in this presentation demonstrates that Parylene nanostructures can be produced for desired applications. This development lends to advancing nano and microelectronics applications further. In addition, Parylenes, as coatings, are well suited for electrical and environmental protection of electronic devices, including various micro and nano electrical components, biosensors, printed circuit boards and high density and high-speed integrated circuits.

From Nano to Macro Power Electronics and Packaging International Workshop

11 & 12 October 2017, Tours - France

General Chair

Stéphane BELLENGER,

Éolane Angers

Co-Chairs

Daniel ALQUIER,

Institut GREMAN

Christophe SERRE,

ST Microelectronics Tours

La 9^{ème} édition du Workshop se prépare sous de bons auspices, avec une annonce du programme qui devrait parvenir dans la semaine du 14 juillet. Les papiers de la journée dédiée au programme SAM3 sont prêts, ceux de la journée IMAPS en cours d'évaluation, avec un regain d'intérêt pour les papiers d'ouverture (keynotes). En effet, pas moins de 3 propositions nous sont parvenues, sur les sujets de la puissance pour les applications Magnétiques.

Nous avons reçu plusieurs papiers de l'institut IZM de Berlin, de Virginia-Tech, de STMicroelectronics, d'ASE Europe, d'Eolane, de Novapack et de l'institut Greman.

Nous recevons des papiers de grand intérêt sur des problématiques actuelles du monde de la puissance : le frittage argent pour les joints métalliques lors du die-attach, les inter-diffusions entre cuivre et étain pour les alliages haute température, les matériaux et procédés pour la réalisation de modules électroniques de très fort courant, embarqués sous le capot pour des applications automobiles émergentes avec la norme euro 7, de nouvelles orientations industrielles d'assemblage en panels spécifiques à la puissance, et bien d'autres sujets...

Pour la 4^{ème} année consécutive, nous recevons des orateurs et des auditeurs du monde entier. J'ai le très grand plaisir d'organiser cette rencontre pour la 7^{ème} année consécutive, avec l'aide de mes collègues le Pr. Daniel Alquier, directeur de

l'institut Greman de l'Université François Rabelais de Tours, et M. Christophe Serre, responsable d'activités packaging pour la société STMicroelectronics de Tours. Nous aurons le soutien financier de nos sponsors Yole, i-Micronews, Éolane et STMicroelectronics.

Le comité technique composé du Pr. Cyril Buttay, de M. Guo-Quan Lu, du Pr Sébastien Jacques, de M. Lars Boettcher, de M. Jürgen Schuderer et de M. Jean-Luc Diot est aux manettes pour vous concocter le programme final.

Vous bénéficierez cette année de 2 journées de conférences. Cette extension a été rendue possible en accueillant le consortium Européen SAM3, qui animera une journée de conférence complète toujours sur les thématiques de l'électronique de puissance.

Un évènement festif sera organisé le 11 Octobre en soirée.

Nous vous attendons donc très nombreux les 11 et 12 Octobre 2017 dans les locaux du Greman (Ecole Polytech-Tours) pour cet évènement exceptionnel en France !

Stéphane Bellenger

INTERNATIONAL MICROELECTRONICS AND PACKAGING SOCIETY
49 rue Lamartine 78035 Versailles Tel: 01 39 67 17 73
Email: imaps.france@imapsfrance.org
web : www.imapsfrance.org

GREMAN
nouvelle microélectronique
nouvelle nanotechnologie
IME 7507 - Université de Tours / CNRS

POLYTECH
TOURS

**From Nano to Macro Power
Electronics and Packaging
International Workshop**

October 11-12, 2017

GREMAN (ECOLE D'INGENIEURS POLYTECH TOURS)
Amphithéâtre du département électronique et énergie
7 avenue Marcel Dassault TOURS

Sponsors: YOLE Développement, ST, éolane, i-Micronews
Media Sponsor: i-Micronews (Powered by Yole Développement)

5th ATW on Microelectronics, Systems and Packaging for Medical Applications

22nd – 23rd November 2017

Lyon, France

General Chair

Alexandre VAL

ASE Europe, Belgique

Nous allons relooker cet évènement afin de lui donner un nouveau départ. Et cela commence par un changement de lieu proche du Musée des Confluences, à Lyon.

Voici l'appel à résumés qui est diffusé actuellement.

Overview: The International Microelectronics Assembly and Packaging Society (IMAPS) will host an Advanced Technical Workshop in Lyon on *Microelectronics, Systems and Packaging for Medical Applications* on November 22nd and 23rd, 2017. The workshop will bring together technologists in semiconductor packaging with life science experts interested in applying advanced packaging methods to enable the next generation of medical microelectronic devices. The workshop will provide a venue for presentations and discussions focused on traditional and emerging packaging technologies for wearable, portable and implantable devices, medical instrumentation, and life sciences consumables. Attendees and Exhibitors will be exposed to a wide variety of disciplines to encourage new products, discussions and collaborations. This 2-days event will bring together invited experts in the medicine, sensing, microelectronics, and semiconductor packaging.

Abstracts are accepted on the following subjects:

- Markets trends, electronic miniaturization for medical applications,
- Implantable & wearable medical devices (pacemakers, defibrillators, neuro stimulators, drug delivery devices, cochlear implants, retinal/ophthalmic devices, electroceuticals),
- Regulations and public certification, standardization, legislation,

- Testing methods for functionality and reliability, accelerated testing, new test strategies,
- New materials, biocompatible materials,
- Emerging technologies (e.g. 3D printing, lab-on-chip, flexible electronics...),
- Batteries & energy harvesting for medical applications, wireless communication,
- Biosensors & MEMS,
- New die embedded technologies, device encapsulation, hermeticity and packaging.

Les résumés d'environ 250 mots sont à envoyer à l'adresse courriel :

imaps.france@imapsfrance.org

La date limite est fixée au 15 Septembre 2017.

Nous avons déjà retenu un Keynote speaker en la personne de Ronald DEKKER qui travaille chez Philips (Eindhoven) dans la division System in Package Devices mais est également professeur à l'université des sciences de Delft.



Title: Flex-to-Rigid, the integration platform for the next generation smart catheters.

Flex-to-Rigid (F2R) is a micro-fabrication based integration/assembly platform that allows complex heterogeneous electronic systems to be squeezed into the tiny volumes available at the tip of smart catheters. Although F2R was specifically developed for complex IVUS and ICE ultra-sound imaging catheters, this open platform can be used in many applications where extreme miniaturization is required.

Un second Keynote speaker devrait nous confirmer sa participation et nous adresser le thème sur l'impact des microsystèmes sur les dispositifs médicaux.

Les résumés reçus à ce jour nous permettent d'organiser une journée de conférence ; nous sommes donc à mi-parcours de la construction du programme complet.

EMPC 2017
Varsovie, Pologne
Małgorzata Jakubowska
Présidente de la conférence

L'ensemble des autres chapitres européens a pris l'engagement d'apporter tout l'appui nécessaire pour la réussite de l'évènement organisé par nos confrères polonais.

Małgorzata Jakubowska, la présidente vous attend nombreux !

<http://www.empc2017.pl/>

Save the date: September 10-13, 2017

EMPC 2017 - Don't miss it!

Be a part of EMPC 2017 and join microelectronic packaging experts from all over the world in Warsaw from September 10-13, 2017.



EMPC 2017 - Conference program & keynote speakers

This year's EMPC Conference showcases fascinating developments in packaging technologies from all areas of application. Please check our online conference program at <https://www.conftool.net/empc2017/sessions.php> for details.

We are delighted to welcome five distinguished representatives from science and industry as keynote speakers at EMPC 2017, who will showcase current trends and discuss the role of microelectronic packaging in their respective fields of work.

Eric Beyne, IMEC International, Leuven
“3D System Integration. An Interconnect Hierarchy Driven Technology Landscape”

Craig Hillman, DFR Solutions
“Developing Damage Models for Solder Joints Exposed to Complex Stress States: Influence of Potting, Coating, BGA Mirroring, and Housing on Solder Joint Fatigue”

Krzysztof Koziol, University of Cambridge
“Large Scale Sustainable Production of Graphene for Real-life Applications”

Matti Mäntysalo, Tampere University of Technology
“Printed Stretchable Electronics – Enabler of Unobtrusive Biosignal Monitoring”

Rao R Tummala, Georgia Institute of Technology
“Future of Embedding and Fanout Packaging Technologies”



EMPC 2017 - Exhibition

20 companies from all over Europe will present their technological services and equipment at EMPC 2017. Book now to secure one of the last few available spaces. Check our website at www.empc2017.pl or contact our conference office at info@empc2017.pl for details concerning exhibition and sponsoring opportunities.

EMPC 2017 - Sponsoring

The organizers offer various ways to become a part of EMPC 2017. Participation as a Platinum, Gold or Silver Sponsor offers an excellent way to raise your profile at the event with a combination of promotional, on-site visibility and content-related benefits combined into a value-priced package. If you decide to directly help fund the conference, you can benefit from different incentives. Where you will be mentioned in the conference materials and what benefits you receive depends on your commitment.

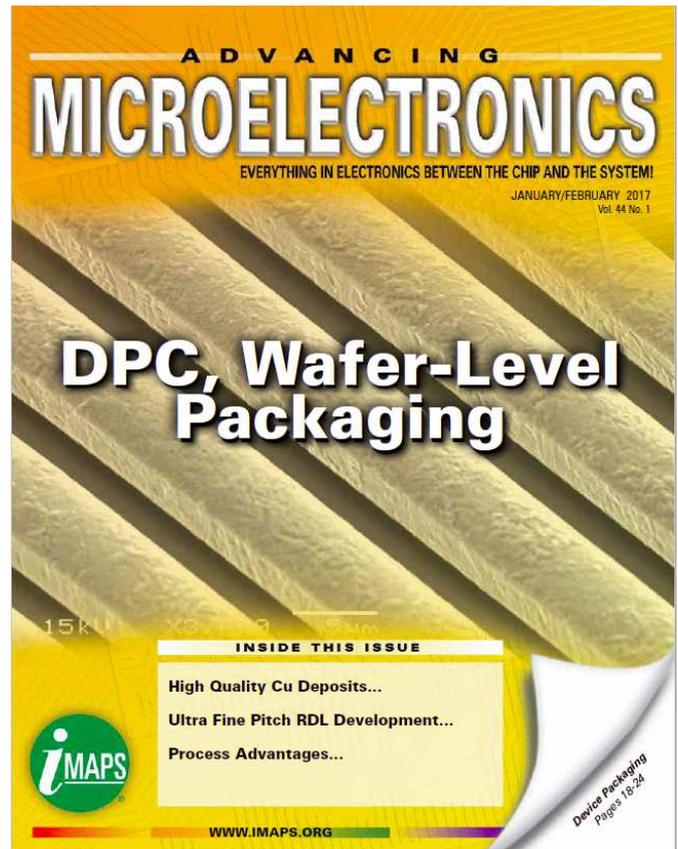
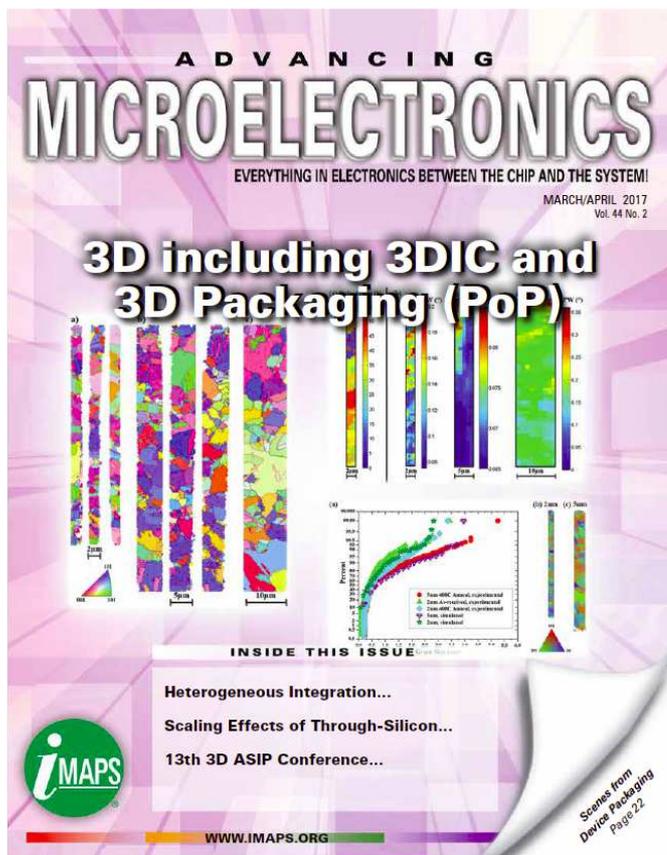
Informations diverses

En tant que membre IMAPS-France, je vous rappelle que vous avez un libre accès à l'excellente revue Advancing MicroElectronics ; dans cette revue trimestrielle vous trouvez toutes les actualités et des articles techniques sélectionnés au travers des différents évènements américains.

Nous mettons à votre disposition ces documents sur notre site.

En allant sur le site ImapsSource (<http://www.imapsource.org>), vous aurez toutes les archives de cette revue ; n'hésitez pas à vous y inscrire !

Editions 2017 disponibles sur notre site :
<http://www.imapsfrance.org/advancing/>



Edition à venir:



Note importante projet Européen IMAPS ACADEMY

Pour ceux qui suivent nos bulletins d'information trimestriels, nous avons annoncé vouloir démarrer un projet ambitieux et stratégique pour les trois prochaines années : **IMAPS ACADEMY**. Nous organisons 2 sessions, réservées aux membres IMAPS, de visio-conférence afin de vous présenter le cadre et les objectifs de ce projet et de vous inviter à y participer. Nous expliquerons quels sont les intérêts à y participer en tant que partenaire de projet, ce sera pour vous l'occasion de partager avec nous vos avis et questions.

Session 1 : 18 Juillet de 15h à 17h

Session 2 : 22 Aout de 15h à 17h

Les détails de la visio-conférence seront envoyés ultérieurement.

Ce projet dépassera le cadre national et prendra une triple dimension Européenne, interdisciplinaire et intersectorielle. L'IMAPS ACADEMY (ce nom pourra être modifié par la suite !) devrait ainsi fédérer au moins trois « chapters IMAPS ». L'objectif est d'encadrer cette initiative par un financement européen.

Ambitieux car les objectifs sont les suivants :

- Former une nouvelle génération de jeunes chercheurs en développant leur potentiel de créativité, d'esprit d'entreprise et d'innovation.
- Permettre aux jeunes chercheurs ainsi qu'aux experts Académiques ou Industriels d'être en contact, à la fois avec les milieux universitaires et industriels afin de compléter le triangle du savoir : formation, innovation et recherche.
- Offrir de meilleures perspectives de carrière en ouvrant les horizons de formation, en encourageant la mobilité des jeunes chercheurs, et experts en développant leurs compétences entrepreneuriales.
- Valoriser les travaux de jeunes chercheurs et experts dans les secteurs académique et industriel en augmentant leur visibilité au sein du réseau de l'IMAPS ACADEMY.

Stratégique car nous serons amenés à renforcer l'équipe IMAPS-France et diversifier nos activités pour tenir ces objectifs.

Nous sommes convaincus que l'avenir d'IMAPS-France passe par ce type de collaboration. Nous restons à disposition pour toute info complémentaire. Nous vous remercions pour vos réactions et pour votre participation à l'une de ces deux sessions animées par Sanae Boulay (PNO Consultants et Directeur technique IMAPS-France) et Alexandre Val (ASE Europe et Président IMAPS-France) en langue Française.

Sanae BOULAY

Changement de domiciliation du Bureau IMAPS

Reynald Deroche

Sous la forme de deux poèmes **haïku** (俳句), nous vous annonçons la nouvelle adresse IMAPS France à partir du 1^{er} septembre 2017:

*Paris attire. Versailles c'est fini.
IMAPS ne résiste pas. l'IMAPS rejoint la Seine.
Rue Hamelin sera. Hamelin ce sera.*

Il y a le double sens entre la Seine (le fleuve) et la scène (la grande scène du Monde ou va jouer l'IMAPS-France)

**17, rue de l'Amiral Hamelin
PARIS 75783 Cedex 16**

Pour tout renseignement complémentaire,
contacter: Florence Vireton par messagerie : sur
imaps.france@imapsfrance.org

ou par téléphone au 01 39 67 17 73(valable jusqu'à
fin Juillet)

Prochaine édition : Novembre 2017

Note : Le poème Haiku doit comporter 17 consonnes organisées en 5 7 5 avec une référence plus ou moins visible à la nature dans le vers central, le dernier vers doit être abrupt et imagé.