



## Le mot du Président

Depuis quelques semaines, on peut suivre la course que se font les fabricants de circuits intégrés dans la définition de la gravure du transistor. Si le procédé de fabrication de transistor FinFET repose aujourd'hui sur la définition 16nm/14nm, des procédés de gravure plus fins sont en embuscade avec des sauts technologiques annoncés à 10nm voire 7nm.

Pourquoi cette course ? Le procédé 16nm fournit 45% de vitesse en plus et produit 80% de courant de fuite en moins que le procédé 28nm et supporte jusqu'à 4 niveaux de tension. Le procédé 10nm réduira l'échelle de la puce de 50%, offrira un gain de 20% en vitesse ainsi qu'une réduction de puissance de 40% par rapport à la technologie 16nm.

Un des leaders, TSMC annonce un procédé 7nm permettant d'accroître la vitesse de 15 à 20% et d'abaisser la consommation de 35 à 40% pour une amélioration du routage de 1,63 par rapport au procédé 10nm.

Et cela ne va pas s'arrêter en si bon chemin, puisque les leaders TSMC, Global Foundries, Intel et Samsung, travaillent sur le procédé de 5nm à l'horizon 2020, c'est-à-dire dans seulement 4 ans. Qui sera le premier ? J'ai ma petite idée...

Côté coût, le développement d'un système sur puce « SoC » avec un procédé 7nm est estimé à 280 millions de dollars, soit 9 fois plus cher qu'avec un procédé 28nm. Les experts évaluent d'ores et déjà le prix de la technologie 5nm et avancent des chiffres astronomiques qui atteindraient plus du double de celui du procédé 7nm.

On peut donc imaginer, d'une part, que ces technologies ne seront utilisées que pour des applications très particulières et d'autre part qu'elles relancent, si besoin était, l'interconnexion des puces en 2D et 3D, afin précisément de réaliser des System-in-Package et non des System-on-Chip.

Par ailleurs, il faudra prendre en compte l'extrême sensibilité de ces structures, l'option câblage de telles puces risquant de devenir très délicate. D'autres

technologies et notamment celles n'utilisant pas le câblage de fils (wireless technology) se développeront.

Le Fan-out Wafer Level Packaging (FO-WLP) semble donc bien positionné pour les années à venir.

A ce jour, TSMC annonce une production en volume sur la technologie 10nm pour la fin de cette année, un début de production de la technologie 7nm pour l'année prochaine.

*Alexandre VAL*

*"Everything in electronics between the chip and the system"  
(ISHM – Une définition du Packaging)*

## Editorial

- Une annonce des prochains événements, Lyon et le Médical, début décembre La Rochelle et la Thermique, début février 2017, RaMP, MinaPAD...

- Un compte -rendu des événements passés, Paris et Interconex 2016 sur la connectique et REACH, Tours sur les nanotechnologies et la puissance.

- Un carnet rose (pardon bleu) pour l'arrivée d'Adam, fils de notre « directrice technique IMAPS, Sanae Boulay » au mois d'octobre....

Ah que Prévert aurait aimé cet inventaire !

Bonne lecture

*Brigitte BRAUX*

## Calendrier IMAPS France 2016- 2017

<p>Les 7 et 8 Décembre 2016, Lyon</p> <p>4<sup>ème</sup> ATW Microelectronics, Systems &amp; Packaging for Medical Applications</p>
<p>Les 1 et 2 Février 2017, La Rochelle</p> <p>12<sup>ème</sup> ATW Micro Packaging and Thermal Management</p>
<p>Les 12 et 13 Avril 2017, Rabat (Maroc)</p> <p>2<sup>nd</sup> DeMESys - (Parrainé par IMAPS-France)</p>
<p>Les 26 et 27 Avril 2017, Paris</p> <p>RAMP – RF and Microwave Packaging</p>
<p>Les 17 et 18 Mai 2017, Grenoble</p> <p>5<sup>ème</sup> Micro-Nano Electronics Packaging and Assembly</p>

**4<sup>ème</sup> ATW MEDICAL – Lyon**  
**Alexandre VAL (ASE Europe)**  
**General Chairman**

L'édition 2016 de la conférence ATW MEDICAL aura lieu les 7 et 8 Décembre à Lyon. La conférence accueillera une vingtaine d'intervenants venus du monde entier. Les technologies d'intégration et d'interconnexions, des applications et les outils de financements Européens seront abordés ainsi qu'une session étudiant.

Nos deux keynotes présentées par le professeur Mohamad SAWAN et Eric RAMBEAUX, déjà annoncées lors de notre précédente lettre d'information (Juillet 2016 n°55), ouvriront chacune des deux journées.

Nous avons réussi à équilibrer nos sessions Applications et Technologies ; les thèmes de la bio compatibilité et des revêtements seront privilégiés cette année.

La session étudiante donnera la parole à un étudiant de l'ISEP et quatre étudiants de l'INPG ; c'est un moyen d'introduire le corps enseignant dans cet évènement en faisant appel aux écoles et universités, locales en particulier.

**Les inscriptions sont ouvertes, venez-vous inscrire.**

Toute l'équipe sera heureuse de vous accueillir dans cet hôtel disposant d'installations sportives et des zones de détente appréciées après une journée de conférences.

[www.france.imapseurope.org](http://www.france.imapseurope.org) rubrique «MEDICAL 2016».

**3<sup>ème</sup> édition Journée**  
**INTERCONEX 2016**  
**Brigitte Braux – IMAPS**  
**Présidente de la conférence**

L'atelier INTERCONEX 2016 s'est tenu les 22 et 23 septembre à Paris dans une salle proche de la Place de la République. Cette journée s'est voulue en **langue Française exclusivement.**

**Quatrième** évènement sur ce thème organisé après ceux déjà éloignés dans le temps de 2008, 2010 et 2011, l'atelier avait pour thème la connectique mais aussi la réglementation REACH. Cette forte composante environnementale intervient de façon prépondérante dans le domaine des métallisations. L'interdiction future d'emploi de certaines substances conduit les connecticiens à revoir de nombreux procédés de leurs gammes de production.

**En préambule** aux présentations techniques, Gilles RIZZO (ACSIEL) dressa un tableau très intéressant du secteur de la connectique en France (où l'on voit qu'il existe encore de nombreux sites de développement et de fabrication en France) avec la mise en évidence d'un domaine pourvoyeur d'emplois. Cette approche économique permet de planter le décor et de mettre en l'accent sur les marchés porteurs pour la connectique : les applications industrielles aéronautiques, ferroviaires, spatiales ou automobiles. Le marché « grand public » ou « grande consommation » ne fut pas le cœur de cible des conférences.





*Gilles RIZZO - ACSIEL*

Pour rester dans le domaine économique, un exposé très complet (presque trop !) sur les possibilités d'aides au financement de projets était présenté par Séverine Coupé du Pôle Astech. Ces différentes formes d'aides sont complexes à mettre en œuvre et le message clair d'Astech est « Contactez-nous, nous vous aiderons à trouver la meilleure formule ».

Le fil des conférences s'est ensuite poursuivi avec l'exposé des besoins dans le domaine militaire, mettant en avant bien sûr les performances techniques mais aussi la compétitivité des produits sans déroger à la fiabilité des composants. La quadrature de cercle pour certains !

De nouveaux développements dans le domaine de la connectique sans brasage, pressfit et interposeurs de puissance ont été abordés sur les aspects qualité et fiabilité côté fournisseur et côté utilisateurs. La confrontation des points de vue donna lieu à des échanges fructueux.

Une grande session sur la fiabilité de la connectique et en particulier sur les problèmes de « fretting corrosion » m'a personnellement beaucoup intéressée et je ne crois pas être la seule.

De l'approche théorique à la présentation d'un cas concret, la vision multi disciplinaire a permis à chacun d'augmenter ses connaissances sur le sujet.

**Merci à Laurent VIVET (VALEO)** pour avoir su donner des bases théoriques à des défauts de connectique vus en laboratoire.



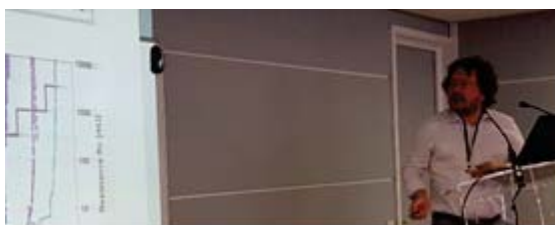
*Laurent VIVET - VALEO*

**Merci à Jean-Yves SOULIER (ZODIAC AEROSPACE)** pour nous avoir fait revivre le déroulement d'un cas de défaillance et la recherche de solutions « pragmatique »



*Jean-Yves SOULIER - ZODIAC AEROSPACE*

**Merci à Erwan CARVOU (Université de Rennes)** de nous avoir expliqué que la connaissance théorique ne s'arrêtait pas et que l'approfondissement de tous ces sujets était toujours à l'ordre du jour avec des étudiants motivés.



*Erwan CARVOU - Université de Rennes*

**La session sur REACH** a montré combien ce sujet était difficile à gérer. L'une des problématiques est le traitement de finition à base de chrome et toutes les solutions sont recherchées soit par des métallisations alternatives (difficiles techniquement à mettre en œuvre a priori) soit par des dossiers de demande de dérogations (difficiles à faire valider et gouffre financier pour les demandeurs).

Les participants aux conférences représentaient tous les secteurs d'activités concernés, militaire, spatial, ferroviaire, automobile, aéronautique côtés donneurs d'ordre et fournisseurs. Grâce à cela, les échanges furent nombreux et riches. La convivialité a régné à chaque moment au niveau des questions/réponses après chaque présentation mais aussi lors de toutes les pauses où les discussions techniques animées se sont prolongées ...



*Moment convivial*

Pour cet évènement IMAPS a eu pour partenaire ACSIEL et plus particulièrement le « Club des Connecticiens ». IMAPS les remercie tout particulièrement pour leur implication dans l'évènement.

Un grand merci aussi à tous les présentateurs pour la qualité de leur exposé qui a contribué au succès de cet atelier.

## 8ème édition Workshop Energies et Puissance

Tours

**Stéphane Bellenger, éolane**  
**Président de la conférence**

Pour sa quatrième version en langue anglaise, le workshop « **From Nano to Micro Power Packaging** » a de nouveau été international avec des orateurs et auditeurs venus d'Europe. L'évènement s'est tenu le 13 octobre dernier dans le magnifique cadre du **GREMAN**, laboratoire de recherche de l'université de Tours, grâce à l'aide et support indéfectibles du professeur Daniel ALQUIER. Son amphithéâtre a accueilli une soixantaine d'auditeurs et 12 orateurs présentant des sujets articulés autour des deux thématiques « Designs & applications » et « Package Engineering & Development ». En exergue et pour compléter le cycle des conférences, nous avons accueilli 11 sociétés venues exposer leurs activités et échanger sur leurs services d'étude, de design, leurs équipements et matériaux de dernière génération, leurs accompagnements d'assembleur ou de fiabilistes. Notons que cette année a encore vu dépassé le nombre de table top exposées (Pas moins de 11 pour 7 l'an passé), et je tiens vraiment à les remercier de leur présence fidèle, leur accueil et leur disponibilité dans ce grand hall qui réunit l'ensemble des participants lors

des pauses café et du déjeuner, sous forme d'un buffet gastronomique.



*Hall dédié aux table-tops et pauses*

**Pour cette 8<sup>ième</sup> édition**, nous avons présenté un papier invité dédié aux technologies complémentaires développées pour les applications de puissance, de l'intégration monolithique des **Power SoC** et de l'offre modulaire packagée des **Power SiP**.

Notre orateur, **Alex AVRON** de la société PointTheGap nous a brossé une cartographie d'occupation de ces technologies par secteur de marché, du consumer de puissance jusqu'à l'application industrielle professionnelle, en pointant la balance des avantages et des limitations de chaque technologie au regard des réponses applicatives, des contraintes manufacturières et des enjeux logistiques contraints pour les accès en volume et en prix. Un échange s'en est suivi sur les domaines de puissances et de fréquence en lien avec les besoins en compacité et efficacité, tout comme la toujours difficile intégration des composants passifs dans les systèmes de puissance et de leurs exigences de demain.

Pour nous, auditeurs, c'est une occasion unique de pouvoir balayer une thématique d'actualité, depuis une analyse de marché, jusqu'aux problèmes techniques en passant par un descriptif du champ applicatif.

Pour notre orateur, c'est un exercice engageant entre volonté d'échange et d'ouverture sur des informations souvent très spécifiques dans un monde concurrentiel.

**La première, des deux sessions** qui ont suivi, a été particulièrement riche, cette année, en papiers orientés applications électroniques, avec des problèmes de limitation de courant pic dans les onduleurs sans dégradation des durées de charge des capacités, tout en améliorant les pertes de puissance d'un facteur 2. Nous avons également découvert les conceptions particulières des nouvelles générations de panneaux solaires

« reconfigurables » au niveau répartition topologique des cellules unitaires en fonctions des charges dynamiques et des aléas de l'électronique de régulation amont des systèmes de stockage.

A noter un papier exposant les difficiles technologies émergentes des puces de puissance enterrées dans les substrats, et des problèmes matériaux et de conception inhérents à l'évacuation des calories emprisonnées entre couches laminées. Je voudrais également parler d'une présentation très pointue sur des nano capteurs de température et de contraintes embarqués au plus près des composants de puissance afin d'en évaluer les comportements en fonctionnement. Dans le monde de la conception dédiée aux applications de puissance, nous avons également pu découvrir les logiciels d'aide par simulation de comportements thermiques jusqu'aux simulations des niveaux de pertes dans les phases de charge et décharge de capacités de puissance.

**A remarquer**, également, deux papiers issus du secteur industriel, l'un sur du développement de boîtiers de puissance avec technologies de report par frittage de colle argent, conception de leadframes spécifiques et d'un module compact de haute fiabilité pour le secteur avionique/défense.



*Présentation papiers – Amphithéâtre du Greman*

En deuxième session, un deuxième papier issu d'un industriel nous a présenté l'intégration de deux puces de puissance HF et du système périphérique de l'application dans un micro-boîtier en Kovar et capoté sous atmosphère neutre, pour le secteur de l'avionique civil. C'est important de noter la complémentarité des papiers issus des universités et instituts, souvent en recherche technologique en amont, et des papiers issus du secteur industriel, dédiés aux développements de modules applicatifs par l'adaptation industrielle de technologies en aval. Nous avons également suivi avec

intérêt les essais et résultats de fiabilité sur carte des composants de puissance développés sur base de boîtiers à cavité, surmoulés sur leadframe à partir de matériau LCP (Liquid Crystal Polymer). Le boîtier soumis aux tests de fiabilité et de déformation est un QFN, boîtier JEDEC parmi bien d'autres accessibles grâce à la technologie de surmoulage LCP.

Je voudrais enfin terminer sur deux papiers revisitant d'une part les équipements de dernière génération dédiés aux technologies de report de puces nues, et d'autre part les technologies d'interconnexions possibles dans les domaines des puces de puissance. Ces papiers sont toujours importants dans notre contexte industriel européen, pour lequel nos ingénieurs doivent s'appuyer sur les technologies les plus avancées pour rester compétitifs en termes de fabrication, de performances, de fiabilité et de prix d'accès des produits développés.

Toute journée de travail se doit de se terminer de façon conviviale, grâce à un programme concocté par **Christophe SERRE** de ST-Microelectronics, sponsor de la journée de conférences, co-chairman de cette journée avec **Daniel ALQUIER**, et que je remercie très sincèrement pour leur engagement. Nous avons visité le musée du compagnonnage de Tours avec la complicité d'un accompagnateur du musée dont la connaissance, l'engagement et la profonde qualité d'émerveillement ont été salués par la douzaine de visiteurs. Pour des technologues, nous avons été impressionnés par tant d'art, de merveilles et de techniques à des époques que nous pourrions penser moins avancées dans ses moyens, et dont la précision mécanique des architectures n'était pas programmée en CAO, mais par les années de maîtrise du dessin technique, de l'œil et de l'expérience des années. En tout domaine, nous observons que nous apprenons de nos aînés avant de découvrir, développer et inventer notre futur.

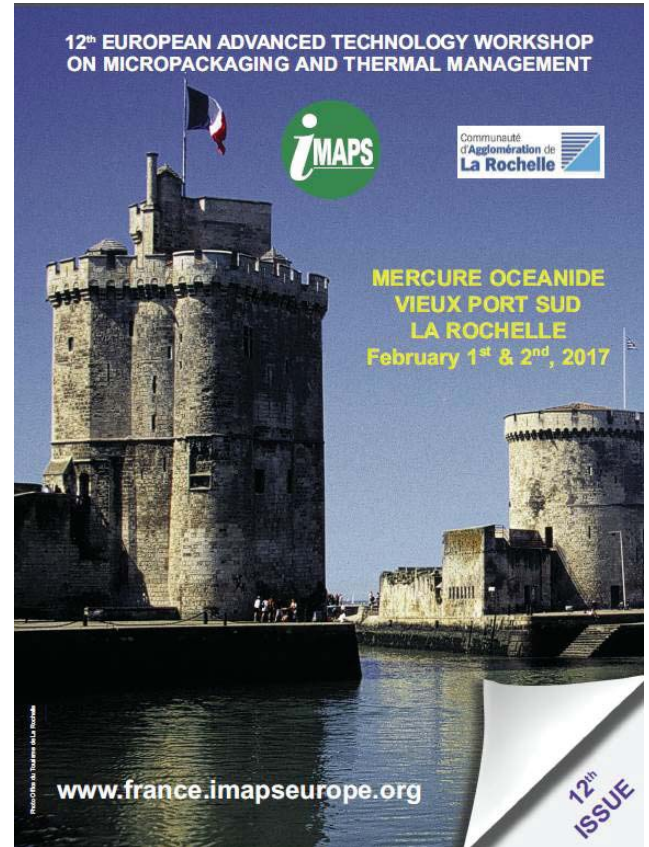
**La convivialité de la soirée** s'est exprimée en point d'orgue au restaurant chez Barrier, sur la tranchée à Tours, dans une excellente bonne humeur autour d'un repas gastronomique arrosé de vins de Loire (Région oblige !). Une très belle soirée de détente et d'échanges.

**Le lendemain matin**, la visite des locaux du GREMAN et de sa ligne pilote a été organisée comme chaque année depuis 4 ans.



*Photo de groupe des orateurs*

Merci infiniment aux orateurs, aux auditeurs et aux organisateurs pour leurs efforts bénévoles à faire que cette journée puisse présenter chaque année un programme qui étonne et questionne, intéresse nos ingénieurs, chercheurs et industriels, défi toujours présent dans nos mondes technologiques. A l'année prochaine !



**12th European Advanced Technology Workshop on Micropackaging and Thermal Management – La Rochelle**  
**Jean-Yves Soulier- Zodiac Aerospace –**  
**Président de la conférence**

**Les 1er et 2 février** de l'an prochain, La Rochelle accueillera notre 12ième workshop. A moins de 3 mois de cet événement, nous manquons encore de 3 à 4 abstracts qui nous permettront de boucler et sécuriser notre programme pour début décembre.

Des premiers papiers reçus se dégagent des travaux sur des matériaux toujours plus conducteurs, des travaux visant à maîtriser les contraintes thermomécaniques et des recherches sur les IGBT, briques élémentaires de l'électronique de puissance.

Je formule le vœu que dans le temps qui nous reste des exemples industriels viennent synthétiser ces travaux en montrant des exemples d'intégration de ces nouvelles technologies.

## Informations diverses

### Adhésions

N'oubliez pas de renouveler vos adhésions pour la prochaine année.

Pour tout renseignement complémentaire, contacter : Florence Vireton par messagerie : sur [imaps.france@imapsfrance.org](mailto:imaps.france@imapsfrance.org)

ou par téléphone au 01 39 67 17 73

Visitez également notre nouveau site Internet : [www.france.imapseurope.com](http://www.france.imapseurope.com)

## VEDECOM : un écosystème de recherche inédit en France pour accélérer le développement de la mobilité de demain

Créé en février 2014, VEDECOM est un **Institut pour la Transition Energétique (ITE)** dédié à la mobilité individuelle, décarbonée et durable et mis en place dans le cadre du **Programme d'Investissements d'Avenir** du Gouvernement français.



Soutenu par le pôle de compétitivité Mov'eo et par ses fondateurs\*, VEDECOM est une fondation partenariale de l'Université de Versailles Saint-Quentin-en-Yvelines (UVSQ), de près de **40 membres regroupés en une collaboration inédite entre industriels** de la filière automobile, aéronautique, opérateurs d'infrastructures et de services de l'écosystème de la mobilité, établissements de recherche académiques et collectivités territoriales.

VEDECOM a pour mission d'être un **acteur opérationnel de l'innovation, de la recherche et de la formation**, appliqué aux transports et à la mobilité responsable, générateur d'activités et d'emplois. Engageant un plan de 300 millions d'euros sur 10 ans, cet institut partenarial public-privé devrait compter 250 collaborateurs d'ici 2018.



Électrification des véhicules



Délégation de conduite et connectivité



Mobilité et énergie partagées

VEDECOM a pour **ambition de devenir l'institut de référence du véhicule à conduite déléguée, connectée et de ses usages** et, à terme, de créer de nouveaux standards visant à faire évoluer le cadre réglementaire et normatif au niveau national et européen.

Il vise à devenir un institut de recherche technologique français d'excellence mondiale sur ses domaines d'activité et ses thématiques, en s'appuyant sur ses compétences pluridisciplinaires et sur la réalisation d'expérimentations sur les territoires de ses partenaires institutionnels.

### Nos défis en électronique de puissance

Le rôle qu'occupe l'électronique de puissance dans le monde automobile et du véhicule électrique est de plus en plus important. Pour se développer, elle doit faire face à un quadruple enjeu : une réduction significative des coûts, une augmentation de la capacité volumique, un refroidissement plus efficace, une adaptation au besoin de la fabrication en grand série.

Un axe principal consiste à **augmenter la tension d'alimentation de la chaîne de traction** bien au-delà de 400V.

Un autre axe principal passe par la **densification des onduleurs**. Les travaux d'intégration 3D des composants actifs et passifs et du refroidissement, l'exploitation du fort potentiel thermique du changement de phase, ainsi que la montée en fréquence de commutation des convertisseurs, sont des clefs significatives pour rendre ce second axe possible.

Nos perspectives sont donc de parfaire nos recherches dans les domaines suivants :

- Les **nouvelles électroniques de puissance moins chères et/ou plus performantes**.
- Les **nouvelles pistes d'évolution des semi-conducteurs et matériaux**.
- Les **nouvelles pistes d'évolution d'interconnexion de premier et deuxième niveau** (packaging, substrat d'assemblage actif).
- La **mécatronique** (intégration machine et électronique de puissance).

Dans ce cadre de nouveaux partenaires peuvent être envisagés.

\* Cetim, ESIGELEC, ESTACA, IFPEN, IFSTTAR, Groupe PSA, Groupe RENAULT, SAFRAN, UVSQ, VALEO.

### Pour plus d'informations

Institut VEDECOM

77, rue des Chantiers, 78 000 Versailles

Tél : 01 30 97 01 80

[www.vedecom.fr](http://www.vedecom.fr)

## 2ème DEMESYS 2017

Imane AZZOUZI – MAScIR- Rabat

Nouvelles dates

Nous avons le plaisir de vous annoncer, en partenariat avec la Fondation MAScIR et le Cluster Electronique, Mécanique et Mécatronique du Maroc, l'organisation de la Deuxième Edition de la Conférence DEMESYS les **12 et 13 Avril 2017**. Nous espérons vous rencontrer, pendant ces deux jours de présentations techniques et d'échanges aux stands d'exposition, au même endroit : Rabat Design Center.

Les sessions aborderont différentes thématiques, couvrant toute la chaîne micro-électronique jusqu'aux systèmes embarqués, en passant par les techniques du Packaging, de nouvelles applications seront traitées à savoir l'agriculture intelligente, l'environnement et les énergies renouvelables.

L'appel à communications, avec le détail des thématiques et les dates à retenir pour toute participation, est publié.

N'oubliez pas de marquer ces dates sur vos Agendas :

**12 et 13 Avril 2017 à Rabat**



The poster features a blue header with the text "Development and Manufacturing of Electronic Systems International Conference & Exhibition" and the iMAPS logo. The main image shows a large, ornate, golden structure, possibly a monument or part of a mosque, under a clear blue sky. The text "DeMESys Forum 2017" is prominently displayed in green, with "April 12-13, 2017" and "Rabat Design Center, Morocco" below it. At the bottom, there are logos for MAScIR, iMAPS, and CE3M, along with contact information for IMAPS France.

## RaMP 2017

26 et 27 Avril à Paris

General Co-Chairs

**Brigitte Braux (Imaps France) and  
Ken Kuang (Torrey Hills Technologies,  
LLC)**



Deux jours de conférences ont lieu de façon alternée entre IMAPS Etats-Unis et IMAPS Europe.

Après Brighton en 2015, le prochain Rendez-Vous européen de RaMP se tiendra à Paris, les 26 et 27 avril 2017.

Le thème principal de cet atelier concerne les technologies RF et micro ondes et leur packaging.

L'objectif majeur est de proposer un forum unique qui regroupe les scientifiques, les ingénieurs, les académies la production et les commerciaux du monde entier, qui sont concernés par la RF.

Cet atelier sera le lieu de présentation des derniers développements technologiques dans le domaine de la RF.

L'atelier sera complété par une exposition sous forme de « table top ».

Retenez bien la date dans vos agendas et si vous êtes intéressé par une « table top » ou pour présenter l'un de vos développements, n'hésitez pas à nous contacter

[brigitte.braux-touchat@orange.fr](mailto:brigitte.braux-touchat@orange.fr) ou

[imaps.france@imapsfrance.org](mailto:imaps.france@imapsfrance.org)

**Prochaine édition : Janvier 2017.**